请注意赛普拉斯已正式并入英飞凌科技公司。
此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性
事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性
英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

S25FL256L/S25FL128L

256 Mb （32 MB） /128 Mb （16 MB），3.0 V FL-L 闪存存储器

概述

赛普拉斯 FL-L 器件系列是非易失性闪存存储器产品，它们采用了以下两种技术：

■ 浮栅技术

■ 65 nm 光刻技术

FL-L 系列产品通过串行外设接口 （SPI）连接主机系统。该产品支持传统 SPI 的一比特串行输入和输出 （即单线 I/O 或 SIO）、可选的两比特 （即双线 I/O 或 DIO）、四比特宽 （四线 I/O 或 QIO）以及四线外设接口 （QPI）命令。另外，它还为 QIO 和 QPI 提供了双倍数据速率 （DDR）命令支持，在时钟的双边沿上传送地址和读取数据。

该产品具有页编程缓冲区，允许在一次操作中最多编程 256 个字节 ，并提供单独的 4 KB 大小的扇区、32 KB 半块、64 KB 块或整个芯片擦除功能。

FL-L 系列器件支持更高的时钟频率和四线命令，因此指令读取的传输率能够等于或超过传统的并行接口、异步、 NOR 闪存存储器，同时可明显降低信号连接的计数。

FL-L 产品系列为各种移动或嵌入式应用提供了容量大、灵活性高且速度快等性能。该产品系列为空间，信号连接，功耗有限的系统提供了一个理想的存储解决方案。这些存储器的灵活性和性能比普通串行闪存器件好很多。它们是用于将代码传送到 RAM，直接执行代码 （XIP）和存储可重新编程的数据的理想选择。

性能

■ 具有多个 I/O 的串行外设接口 （SPI）
- ❒ 支持时钟极性以及相位模式 0 和 3
- ❒ 具有双倍数据速率 （DDR）选项
- ❒ 具有四线外设接口 （QPI）选项
- ❒ 具有扩展地址：24 或 32 位地址选项
- ❒ 串行命令子集和封装与 S25FL-A、 S25FL1-K、 S25FL-P、S25FL-S 以及 S25FS-S SPI 系列兼容
- ❒ 多个I/O命令子集和封装与S25FL-A、S25FL1-K、S25FL-P、S25FL-S 以及 S25FS-S SPI 系列兼容

■ 读取
- ❒ 命令：普通、快速、双线 I/O、四线 I/O、双线输出、四线输出、 DDR 四线 I/O
- ❒ 模式：回卷突发、持续突发 （XIP）、 QPI
- ❒ 串行闪存可发现参数 （SFDP）用于配置信息

■ 编程结构
- ❒ 256 字节的页编程缓冲区
- ❒ 3.0 V FL-L 闪存存储器
- ❒ 编程挂起和恢复

■ 擦除结构
- ❒ 4 KB 扇区擦除
- ❒ 32 KB 半块擦除
- ❒ 64 KB 扇区擦除
- ❒ 芯片擦除
- ❒ 擦除挂起和恢复

■ 100,000 万次编程 / 擦除周期 （最小值）

■ 最短数据保留时间为 20 年

■ 安全特性
- ❒ 具有状态和配置寄存器保护
- ❒ 主闪存阵列外有四个安全区域，每个大小为 256 字节。
- ❒ 传统块保护：块范围
- ❒ 单独和区域保护
  - 单独块锁定：易失性单独扇区 / 块保护
  - 指针区域：非易失性扇区 / 块范围
  - 安全区域 2 和 3 以及指针区域的电源锁定、密码和永久保护

■ 技术
- ❒ 65 nm 浮栅技术

■ CMOS I/O 的单个供电电压
- ❒ 2.7 V ~ 3.6 V

■ 温度范围 / 级别
- ❒ 工业级 （–40 °C 到 +85 °C）
- ❒ 扩展的工业级 （–40 °C 到 +105 °C）
- ❒ 汽车级， AEC-Q100 等级 3 （–40 °C 到 +85 °C）
- ❒ 汽车级， AEC-Q100 等级 2 （–40 °C 到 +105 °C）
- ❒ 汽车级， AEC-Q100 等级 1 （-40 °C 到 +125 °C）

■ 封装类型 （所有均无铅）
- ❒ 8-SOIC 208 mil （SOC008） — 仅 S25FL128L 提供
- ❒ WSON 5 × 6 mm （WND008） — 仅 S25FL128L 提供
- ❒ WSON 6 × 8 mm （WNG008） — 仅 S25FL256L 提供
- ❒ 16-SOIC 300 mil （SO3016）
- ❒ BGA-24 6 x 8 mm
  - 5 × 5 ball （FAB024）封装
  - 4 × 6 ball （FAC024）封装

性能摘要

最大读取速度SDR

命令	时钟速率（MHz）	MBps
读取	50	6.25

最大读取速度SDR

命令	时钟速率（MHz）	MBps
快速读取	133	16.5
双线读取	133	33
四线读取	133	66

最大读取速度SDR

命令	时钟速率（MHz）	MBps
DDR四线读取	66	66

典型的编程和擦除速率

操作	KBps
页编程	854
4 KB扇区擦除	80
32 KB半块擦除	168
64 KB块擦除	237

T典型的电流消耗，–40 °C到+85 °C

操作	典型电流	单位
快速读取（时钟频率为5 MHz）	10	mA
快速读取（时钟频率为10 MHz）	10	
快速读取（时钟频率为20 MHz）	10	
快速读取（时钟频率为50 MHz）	15	
快速读取（时钟频率为108 MHz）	25	
快速读取133 MHz	30	
四线I/O/QPI读取（时钟频率为108 MHz）	25	
四线I/O/QPI读取（时钟频率为133 MHz）	30	
四线I/O/QPI DDR读取（时钟频率为33 MHz）	15	
四线I/O/QPI DDR读取（时钟频率为66 MHz）	30	
编程	40	
擦除	40	
待机SPI	20	µA
待机QPI	60	
深度掉电	2	

目录

1. 产品概述 4
1.1 移植时注意事项 4

2. 连接图 5
2.1 SOIC 16引脚 5
2.2 包含8个连接点的封装 5
2.3 BGA ball封装 6
2.4 FBGA封装的特殊处理指令说明 6

3. 信号说明 7
3.1 输入/输出简介 7
3.2 多路输入/输出（MIO） 8
3.3 串行时钟（SCK） 8
3.4 芯片选择（CS#） 8
3.5 串行输入（SI）/IO0 8
3.6 串行输出（SO）/IO1 8
3.7 写保护（WP#）/IO2 8
3.8 IO3/RESET# 9
3.9 RESET# 9
3.10 供电电压（V_{CC}） 9
3.11 供电与信号接地（V_{SS}） 9
3.12 无连接（NC） 9
3.13 预留供将来使用（RFU） 10
3.14 请勿使用（DNU） 10

4. 框图 11
4.1 系统框图 11

5. 信号协议 13
5.1 SPI时钟模式 13
5.2 命令协议 14
5.3 接口状态 18
5.4 数据保护 22

6. 地址空间映射 23
6.1 概述 23
6.2 闪存存储器阵列 23
6.3 ID地址空间 24
6.4 JEDEC JESD216串行闪存可发现参数（SFDP）空间. 24
6.5 安全区域地址空间 24
6.6 寄存器 25

7. 数据保护 43
7.1 安全区域 43
7.2 深度掉电 43
7.3 写入使能命令 44
7.4 写入保护信号 44
7.5 状态寄存器保护（SRP1、SRP0） 45
7.6 阵列保护 46
7.7 单独和区域保护 53

8. 命令 58
8.1 命令集汇总 58
8.2 标识命令 64
8.3 寄存器访问命令 68
8.4 读取闪存阵列命令 82
8.5 编程闪存阵列命令 90
8.6 擦除闪存阵列命令 92
8.7 安全区域阵列命令 100
8.8 单块锁定命令 102
8.9 指针区域命令 107
8.10 单独和区域保护（IRP）命令 108
8.11 复位命令 115
8.12 深度掉电命令 116

9. 数据完整性 119
9.1 擦除次数 119
9.2 数据保留时间 119

10. 软件接口参考 120
10.1 JEDEC JESD216B串行闪存可发现参数 120
10.2 器件ID地址映射 129
10.3 初始供应状态 129

11. 电气规范 130
11.1 最大绝对额定值 130
11.2 闩锁特性 130
11.3 热电阻 130
11.4 工作范围 131
11.5 上电和掉电 132
11.6 直流特性 134

12. 时序规范 137
12.1 切换波形的关键 137
12.2 交流测试条件 137
12.3 复位 138
12.4 SDR交流特性 141
12.5 DDR交流特性 144
12.6 嵌入式算法性能表 146

13. 订购信息 147
13.1 订购器件型号 147

14. 物理框图 150
14.1 SOIC 16引脚（300 mil）封装（SO3016） 150
14.2 8引脚SOIC（208 mil）封装（SOC008） 151
14.3 无引脚并包含8个连接点的WSON（WND008），其大小为5 x 6 mm 152
14.4 无引脚并包含8个连接点的WSON（WND008），其大小为6 x 8 mm 153
14.5 球栅阵列24 ball 6 x 8 mm（FAB024） 154
14.6 球栅阵列24 ball 6 x 8 mm（FAC024） 155

15. 其他资源 156
15.1 术语表 156
15.2 赛普拉斯产品路线图链接 157
15.3 软件链接 157
15.4 应用笔记链接 157

16. 文档修订记录 158
销售、解决方案和法律信息 **159**
全球销售和设计支持 159
产品 159
PSoC®解决方案 159
赛普拉斯开发者社区 159
技术支持 159

1. 产品概述

1.1 移植时注意事项

1.1.1 特性比较

FL-L 系列的指令集和封装与先前的 FL-S、 FL1-K 和 FL-P 系列相兼容。

表 1. 赛普拉斯 SPI 系列比较

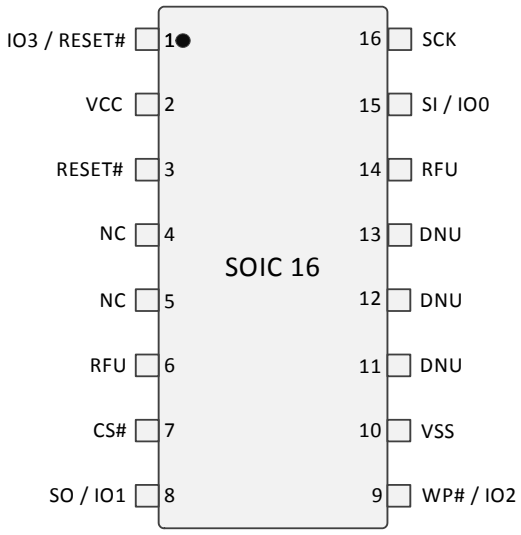
参数	FL-L	FL-S	FL1-K	FL-P
技术节点	65 nm	65 nm	90 nm	90 nm
架构	浮栅	MirrorBit® Eclipse™	浮栅	MirrorBit®
出厂日期	量产中	生产中	生产中	生产中
容量	256 Mb	128 Mb - 1 Gb	4 Mb - 64 Mb	32 Mb - 256 Mb
总线带宽	x1、 x2、 x4	x1、 x2、 x4	x1、 x2、 x4	x1、 x2、 x4
供电电压	2.7 V - 3.6 V	2.7 V - 3.6 V / 1.65 V - 3.6 V V_{IO}	2.7 V - 3.6 V	2.7 V - 3.6 V
正常读取速度	6 MBps （50 MHz）	6 MBps （50 MHz）	6 MBps （50 MHz）	5 MBps （40 MHz）
快速读取速度	16.5 MBps（133 MHz）	17 MBps（133 MHz）	13 MBps （108 MHz）	13 MBps（104 MHz）
双线读取速度	33 MBps （133 MHz）	26 MBps（104 MHz）	26 MBps （108 MHz）	20 MBps （80 MHz）
四线读取速度	66 MBps （133 MHz）	52 MBps（104 MHz）	52 MBps （108 MHz）	40 MBps （80 MHz）
四线读取速度 （DDR）	66 MBps （66 MHz）	80 MBps （80 MHz）	–	–
编程缓冲区大小	256 B	256 B/512 B	256 B	256 B
擦除扇区 / 块大小	4 KB/32 KB/64 KB	64 KB/256 KB	4 KB/64 KB	64 KB/256 KB
参数扇区大小	-	4 KB （选项）	–	4 KB
扇区 / 块擦除速率 （典型值）	80 KBps （4 KB） 168 KBps （32 KB） 237 KBps （64 KB）	500 KBps	136 KBps （4 KB） 437 KBps （64 KB）	130 KBps
页编程速率 （典型值）	854 KBps （256 B）	1.2 MBps （256 B） 1.5 MBps （512 B）	365 KBps	170 KBps
安全区域 /OTP	1024 B	1024 B	768 B （3 × 256 B）	506 B
单独和区域保护或高级的扇区保护	支持	支持	不支持	不支持
擦除挂起 / 恢复			支持	
编程挂起 / 恢复				
工作温度	–40 °C 到 +85 °C –40 °C 到 +105 °C –40 °C 到 +125 °C	–40 °C 到 +85 °C –40 °C 到 +105 °C	–40 °C 到 +85 °C	–40 °C 到 +85 °C –40 °C 到 +105 °C

注释：
1. 欲了解详细信息，请参考单独的数据手册。

2. 连接图

2.1 SOIC 16 引脚

图 1. 16 引脚 SOIC 封装 （SO3016），顶视图



注释：
2. RESET# 和 IO3 / RESET# 输入间连接着一个内部上拉电阻。如果未使用四线模式、模式和硬件复位模式，则在系统中，这些输入会保持为未连接状态。

2.2 包含 8 个连接点的封装

图 2. 8 引脚塑料小外型封装 （SOIC8）

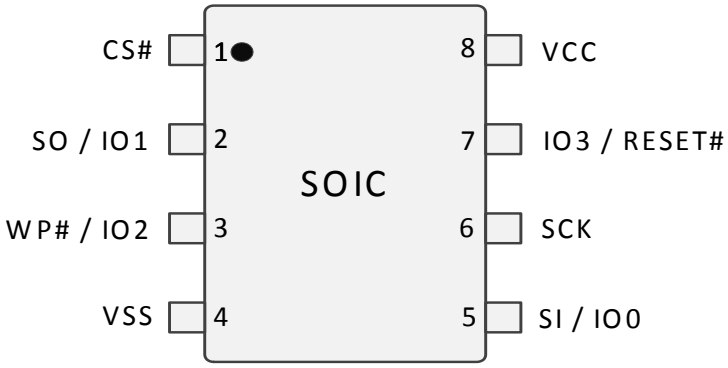
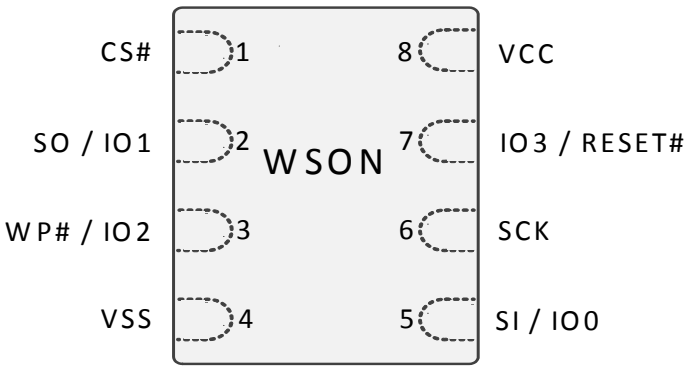


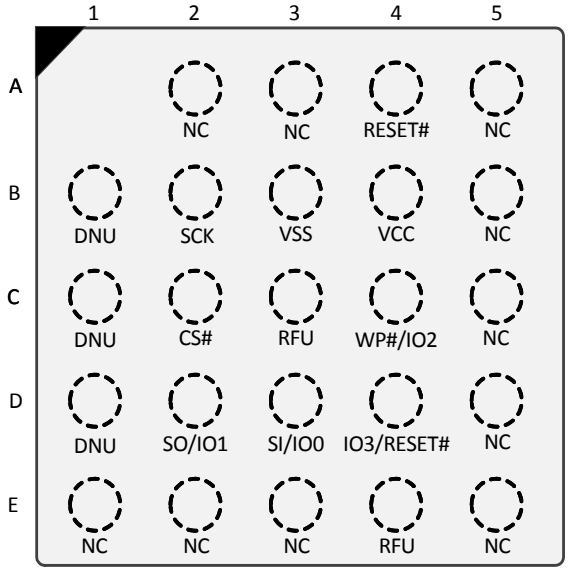
图 3. 包含 8 个连接点的封装 （WSON 6 x 8）（WSON 5 x 6），顶视图



注释：
3. RESET# 输入上连接着一个内部上拉电阻。如果未使用四线模式和硬件复位模式，则在系统中，该输入会保持为未连接状态。

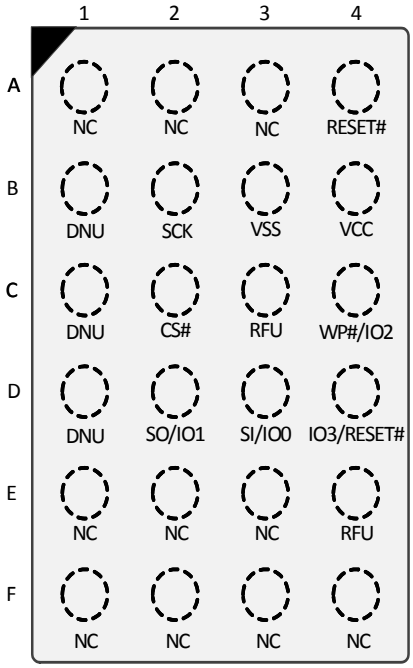
2.3 BGA ball 封装

图 4. 24-BGA， 5x5 球型焊盘封装 （FAB024），顶视图



注释：
4. 信号连接的相对位置与 FAC024 BGA 相同，因此单 PCB 封装可以使用两个封装中的任何一个。
5. RESET# 输入上连接着一个内部上拉电阻。如果未使用四线模式和硬件复位模式，则在系统中，该输入会保持为未连接状态。

图 5. 24-Ball BGA， 4x6 ball 封装 （FAC024），顶视图



注释：
6. RESET# 输入上连接着一个内部上拉电阻。如果未使用四线模式和硬件复位模式，则在系统中，该输入会保持为未连接状态。

2.4 FBGA 封装的特殊处理指令说明

如果使用超声波清洁方法，BGA 封装中的闪存存储器器件可能被损坏。如果将封装长期放置在温度高于 150°C 的地方，封装和 / 或数据的完整性可能受到损坏。

3. 信号说明

支持多输入 / 输出的串行外设接口 （SPI-MIO）

具有独立的并行控制、地址和数据信号的多个存储器件与其主机系统连接时，需要大量的信号连接和更大的封装。由于大量信号交换，因此信号连接的数量越多，功耗也越高；较大的封装尺寸会增加成本。

FL-L 系列通过 6 个信号将所有控制、地址和数据信息串行传输给主机系统，因此可以减少信号连接的数量。这样可以降低存储器封装的成本和信号交换的功耗，减少主机信号连接的数量，主机可以节省连接以供其他功能使用。

FL-L 系列使用了业界标准的单比特 SPI，同时支持可选的扩展命令，用于进行两比特 （双线）或 4 比特 （四线）宽的串行传输。这种多宽度接口被称为 SPI Multi-I/O 或 SPI-MIO。

3.1 输入 / 输出简介

表 2. 信号表

信号名称	类型	说明
RESET#	输入	**硬件复位：**该信号为低电平时，器件复位并返回待机状态，准备接收命令。该信号具有一个内部上拉电阻；在主机系统中如果不使用该信号，可以保持它为未连接状态。
SCK	输入	**串行时钟。**
CS#	输入	**片选。**
SI/IO0	I/O	单比特数据命令的**串行输入**或双线 / 四线命令的 IO0。
SO/IO1	I/O	单比特数据命令的**串行输出**。双线或四线命令的 IO1。
WP#/IO2	I/O	不在四线模式 （CR1V[1] = 0 和 SR1NV[7] = 1）下时，为**写保护**。 在四线模式 （CR1V[1] = 1）下，为 **IO2**。 该信号具有一个内部上拉电阻。在主机系统中，如果不使用四线模式或不用于写保护，可以保持它为未连接状态。如果通过设置 SR1NV[7] = 1 和 CR1V[1] = 0 使能了写保护功能，那么在执行 WRR 或 WRAR 命令期间，主机系统需要将 WP# 驱动为高电平或低电平。
IO3/RESET#	I/O	在四线 I/O 模式下，当配置寄存器 1 的 QUAD 位 CR1V[1] = 1 时，或在 QPI 模式下，当 CS# 为低电平并且配置好寄存器 2 的 QPI 位 CR2V[3] = 1 时，该信号将为 **IO3**。 当 CR2V[7] = 1，并且处于非四线 I/O 模式 （CR1V[1] = 0）时，或在四线模式下 （CR1V[1] = 1） CS# 为高电平时，该信号为 **RESET#**。 该信号具有一个内部上拉电阻；在主机系统如果不使用四线模式或不用于 RESET#，可以保持未连接状态。
V_{CC}	电源	**供电电源。**
V_{SS}	电源	**接地电源。**
NC	未使用	**未连接。**没有任何器件内部信号被连接到封装引脚，将来也不计划用于信号连接。该连接可能安全地用作印刷电路板 （PCB）上的信号路由空间。然而，连接到 NC 的任何信号电压电平不能大于 V_{CC}。
RFU	预留	**预留供将来使用。**当前没有任何器件内部信号连接到封装引脚，但是将来可能使用。不建议将 RFU 连接到 PCB 电路板上的任何信号，以便 PCB 可以在尺寸兼容的器件中实现未来的增强型特性。
DNU	预留	**请勿使用。**器件的内部信号可能被连接到封装引脚。赛普拉斯可能会使用该引脚进行测试或其他用途，不应使该引脚与任何主机系统信号连接。 DNU 引脚处于低电平 （V_{IL}）时，与该引脚相关的所有功能均无效。该引脚使用了一个内部下拉电阻，在主机系统中可以保持它为未连接状态或将其连接到 V_{SS}。请勿将该 DNU 引脚连接到 PCB 板上的任意信号。请勿将主机系统的任何信号连接到该引脚。

注释：

7. 使用内部上拉或下拉电阻的输入驱动引起的电流低于 2 µA。只有在上电过程中，该电流才最大（在 4 µS 内为 150 µA）。如果采用普通的工艺技术、Vcc = 3.3 V 和温度 = –40°C，则上拉或下拉电阻的阻值为 ~4.5 MΩ；温度 = 90°C 时，该值为 ~6.6 MΩ。

3.2 多路输入 / 输出 （MIO）

传统 SPI 单比特命令 （即单 IO 或 SIO）只能通过串行输入 （SI）信号将主机的数据发送到存储器内。数据会通过串行输出 （SO）信号从存储器内串行回送给主机。

双线或四线输入 / 输出 （I/O）命令只能通过 SI/IO0 信号将指令发送给存储器。地址或数据可按双比特一组的方式通过 IO0 和 IO1 从主机发送到存储器内，也可以按照四比特 （半字节）一组的方式通过 IO0、 IO1、 IO2 和 IO3 发送。数据同样可以按照双比特一组的方式通过 IO0 和 IO1 从存储器回送给主机，也可以按照四比特 （半字节）一组的方式通过 IO0、 IO1、 IO2 和 IO3 被回送。

QPI 模式允许以四比特 （半字节）一组的方式将所有指令、地址和数据通过 IO0、 IO1、 IO2 和 IO3 从主机传送到存储器内。数据同样可以按四比特 （半字节）一组的方式通过 IO0、 IO1、 IO2 和 IO3 回送到主机内。

3.3 串行时钟 （SCK）

该输入信号为 SPI 接口提供了同步参考。可以在 SCK 信号的上升沿上锁存指令、地址或数据。在 SDR 命令中，数据输出会在 SCK 的下降沿后发生变化。

3.4 芯片选择 （CS#）

芯片选择信号指出某条命令正在向器件或从器件传输信息，并指示存储器件的相关信号。

当 CS# 信号为高逻辑状态时，不会选择芯片，所有输入信号均被忽略，并且所有输出信号均为高阻抗。除非正在进行某个内部嵌入式操作，否则器件会处于待机模式。嵌入式操作是从状态寄存器 1 的正在写入位 （SR1V[0]）被设置为 1 到完成该操作为止。嵌入式操作的示例包括：编程、擦除或写入寄存器 （WRR）等操作。

将 CS# 输入驱动为低逻辑状态可以启用器件，使器件进入工作模式。上电后，必须等到 CS# 的下降沿到来后才能执行其他命令。

3.5 串行输入 （SI） /IO0

该输入信号用于将数据串行传输给器件。它接收指令、地址和要写入闪存的数据。各个数值在串行 SCK 时钟信号的上升沿上被锁存。在执行双线和四线命令过程中， SI 变成 IO0 （一个输入和输出），用于接收指令、地址和数据 （数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上 （若执行 SDR 命令）或在任意一个边沿上 （若执行 DDR 命令）移出数据。

3.6 串行输出 （SO） /IO1

该输出信号用于串行传输器件中的数据。在串行 SCK 时钟信号的下降沿上移出数据。在执行双线和四线命令过程中， SO 变成 IO1 （一个输入和输出），用于接收地址和数据 （数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上 （若执行 SDR 命令）或在任意边沿上 （若执行 DDR 命令）移出数据。

3.7 写保护 （WP#） /IO2

将 WP# 驱动为低电平（V_{IL}）时，如果将状态寄存器 1（SR1NV[7]）或（SR1V[7]）的状态寄存器保护位 0（SRP0_NV）或（SRP0）设置为 1，便不能再写入到状态寄存器、配置寄存器或 DLR 寄存器内。在这种情况下，会忽略选择 SR1NV、SR1V、CR1NV、CR1V、CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 的命令，并且不会报告任何错误。

这样可以防止传统的块保护设置发生更改。因此，如果执行某个命令来修改状态寄存器、配置寄存器或 DLR 寄存器时， WP# 为低电平，并且 SRP0_NV 为 1，那么受传统块保护的存储器区域中的全部数据字节也受硬件保护，这样便不能修改这些字节。同样可以防止对安全区域锁定位 （LB3-LB0）进行编程。

使能四线模式 （CR1V[1] = 1）或 QPI 模式 （CR2V[3] = 1）时，会禁用 WP# 的功能。当使能四线或 QPI 模式 （CR2V[3] = 1）时，WP# 将被 IO2 输入 / 输出替换，用于接收地址和数据 （数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上 （若执行 SDR 命令）或在任意边沿上 （若执行 DDR 命令）移出数据。

WP# 具有一个内部上拉电阻；未连接时，WP# 为高电平（V_{IH}），如果四线模式、QPI 模式或保护功能未使用该引脚，则在主机系统中它可以被保持为不连接状态。

3.8 IO3/RESET#

当使能四线模式 （CR1V[1] = 1）或 QPI 模式 （CR2V[3] = 1）时，会将 IO3 作为输入 / 输出使用，用于接收地址和数据 （数值在串行 SCK 时钟信号的上升沿上被锁存），并在 SCK 下降沿上 （若执行 SDR 命令）或在任意边沿上 （若执行 DDR 命令）移出数据。

通过写入配置寄存器 2 的非易失性位 7（CR2NV[7] = 1）来启用 IO3/RESET# 功能时，IO3/RESET# 也可用于初始化硬件复位功能。如果器件并非处于四线模式（114、144、444），即 CR1V[1] = 0，或 CS# 为高电平，则只能将该输入作为 RESET# 使用。如果使能了四线模式 （CR1V[1] = 1）或 QPI 模式 （CR2V[3] = 1），或通过将 CS# 设置为低电平来选择器件，则只能将 IO3/RESET# 作为 IO3 传送信息。CS# 为高电平时， IO3/RESET# 不能传送信息，只能将它作为复位输入使用。在四线模式下（114、144、444），如果在 CS# 为高电平时，则复位功能在该模式 （114、 144、 444）下仍可用。

当系统进入复位状态时，必须将 CS# 信号驱动为高电平 （作为复位过程的一部分），并将 IO3/RESET# 信号驱动为低电平。 CS# 变为高电平时， IO3/RESET# 输入从 IO3 切换为复位输入。当 CS# 保持为高电平和 IO3/RESET# 信号保持为低电平（t_{RP}）时，会检测到复位条件。如果不需要进行复位操作，则系统必须在向存储器发送数据的操作结束时将 IO3/RESET# 和 CS# 驱动为高电平。将数据发送给主机系统后，存储器会驱动 IO3 为高电平，使之在 t_{CS} 的时间内保持高电平。这样可确保 IO3/RESET# 不进入悬空状态，也不会被内部或外部被动上拉电阻慢慢地上拉到高电平。因此， t_{RP} 时间结束前 IO3/RESET# 不会被视为高电平，从而也不会触发意外的复位事件。

CR2V[7] = 0 时， IO3/RESET# 输入的复位功能被禁用。

IO3/RESET# 输入具有一个内部上拉电阻；如果四线模式或复位功能未使用该输入，则在主机系统中它可以保持为不连接状态。如果主机系统将 IO3/RESET# 信号驱动为高电平，然后停止驱动该信号，则通过使用内部上拉电阻将它保持为高电平。

请注意，如果多个 SPI-MIO 存储器中有任意一个工作于四线 I/O 模式，那么它们不能共享 IO3/RESET# 输入，因为来自一个选定存储器或向其发送的 IO3 可用作第二个非选定存储器 （其共享了同一个 IO3/RESET# 信号）的复位信号。

3.9 RESET#

RESET# 输入提供了一种硬件复位方法，该方法可使器件返回待机状态，准备好接收命令。如果将 RESET# 驱动为逻辑低 （V_{IL}）的时间不小于 t_{RP} 时长，则器件将启动硬件复位过程。

给器件上电并经过 t_{PU} 时间后， RESET# 也会导致相同的初始化过程。

此外，可随时将 RESET# 置为低电平。为了确保数据的完整性，一旦器件准备好接收某个命令序列时，需要重新对由硬件复位中断的操作进行初始化。

RESET# 具有一个内部上拉电阻；如果不使用该引脚，则在主机系统中它可以保持为不连接状态。如果主机系统将复位信号驱动为高电平，然后停止驱动该信号，则通过使用内部上拉电阻将该信号保持为高电平。

RESET# 输入在所有封装中均不可用。器件的 RESET# 输入不可用时，它将被锁定为非活动状态。

3.10 供电电压 （V_{CC}）

V_{DD} 是所有器件内部逻辑的供电电压。这种单个电压用于器件的所有内部功能 （包括读取、编程和擦除操作）。

3.11 供电与信号接地 （V_{SS}）

V_{SS} 器件内核、输入信号接收器和输出驱动器的公共电压开漏和接地参考。

3.12 无连接 （NC）

没有任何器件内部信号被连接到封装引脚，将来也不计划用于信号连接。该连接可能安全地用作印刷电路板（PCB）上的信号路由空间。

3.13 预留供将来使用 （RFU）

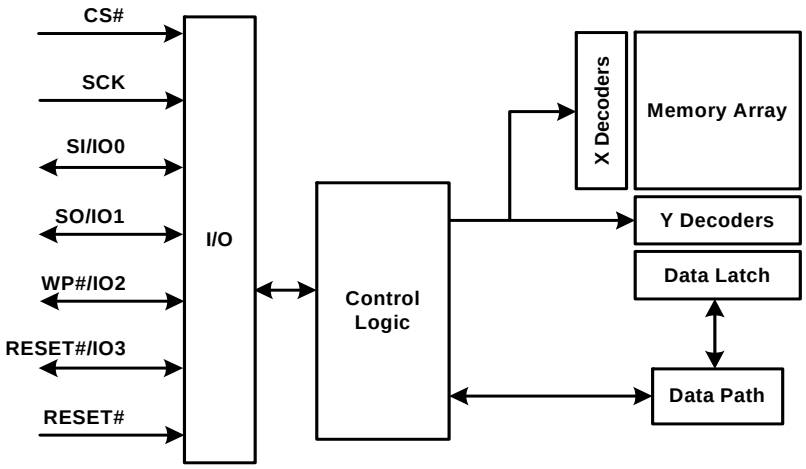
当前没有任何器件内部信号被连接到封装引脚，预留供将来使用。不建议将 RFU 连接到 PCB 电路板上的任何信号，以便 PCB 可以在尺寸兼容的器件中实现未来的增强型特性。

3.14 请勿使用 （DNU）

器件的内部信号可能被连接到封装引脚。赛普拉斯可以使用该引脚进行测试或其他用途，不应使该引脚与任何主机系统信号连接。DNU 引脚处于低电平 （V_{IL}）时，与该引脚相关的所有功能均无效。该引脚使用了一个内部下拉电阻，在主机系统中可以保持它为未连接状态或将其连接到 V_{SS}。请勿将该 DNU 引脚连接到 PCB 板上的任意信号。请勿将主机系统的任何信号连接到该引脚。

4. 框图

图 6. 逻辑框图



4.1 系统框图

图 7. SPI 总线上的总线主设备和存储器件之间的关系 — 单比特数据路径

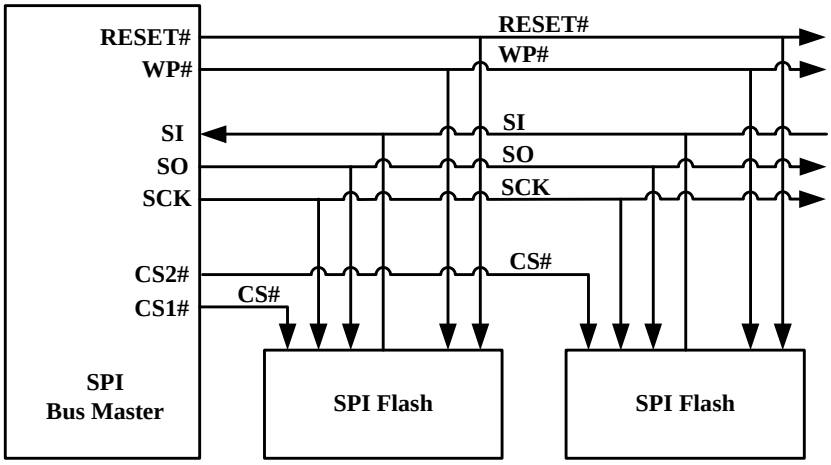


图 8. SPI 总线上的总线主设备和存储器件之间的关系 — 双比特数据路径

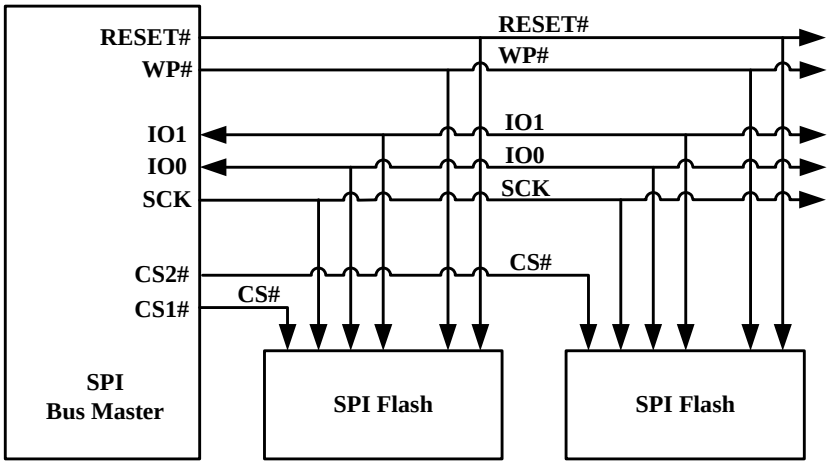


图 9. SPI 总线上的总线主设备和存储器件之间的关系 — 四比特数据路径 - 单独 RESET#

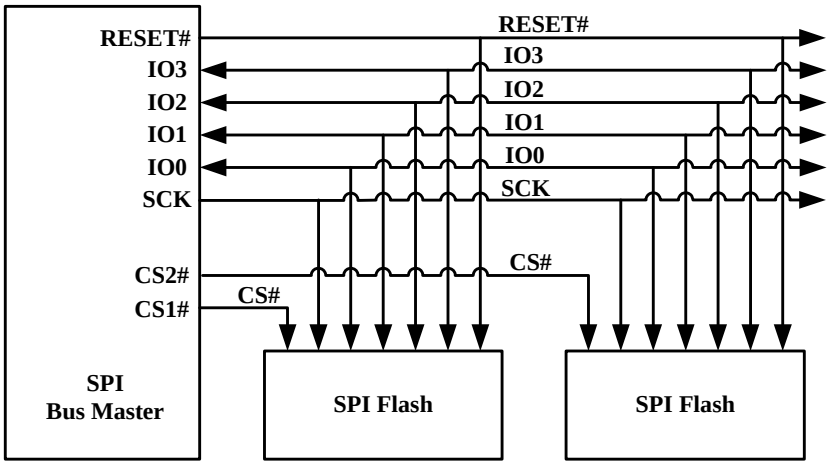
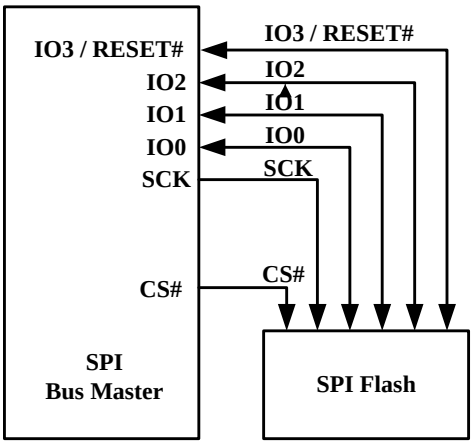


图 10. SPI 总线上的总线主设备和存储器件之间的关系 — 四比特数据路径 - IO3/RESET#



5. 信号协议

5.1 SPI 时钟模式

5.1.1 单倍数据速率 （SDR）

通过嵌入式微控制器 （总线主设备）可以将 FL-L 系列驱动到以下任意一种时钟模式。

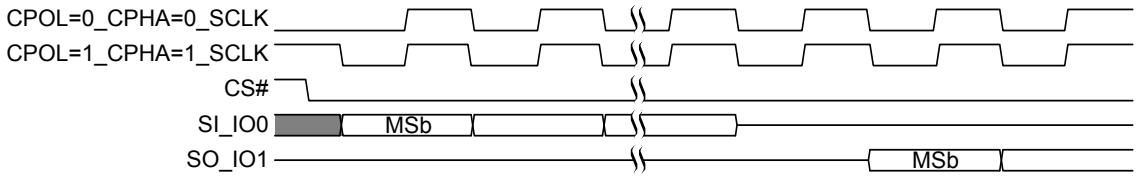
- **模式 0**：时钟极性 （CPOL） = 0、时钟相位 （CPHA） = 0
- **模式 3**：CPOL = 1、 CPHA = 1

在这两种模式中，器件的输入数据总是在 SCK 信号的上升沿上被锁存，输出数据总是在 SCK 时钟信号的下降沿上可用。

两种模式间的区别主要是：当总线主设备处于待机模式并且不传输数据时的时钟极性。

- CPOL = 0、 CPHA = 0 时， SCK 将处于逻辑低状态
- CPOL = 1、 CPHA = 1 时， SCK 将处于逻辑高状态

图 11. 支持 SPI SDR 模式



整个文档其余部分的时序图通常都是通过显示 SCK 在 CS# 下降沿时的高和低电平来显示模式 0 和模式 3 的。在某些情况下，时序图可能通过显示 SCK 在 CS# 下降沿时的低电平来显示唯一的模式 0。而唯一的模式 3 的时序图只是表示在 CS# 的下降沿上时钟信号为高电平，因此模式 3 不需要从 CS# 下降沿后到 SCK 上升沿前的建立和保持时间。

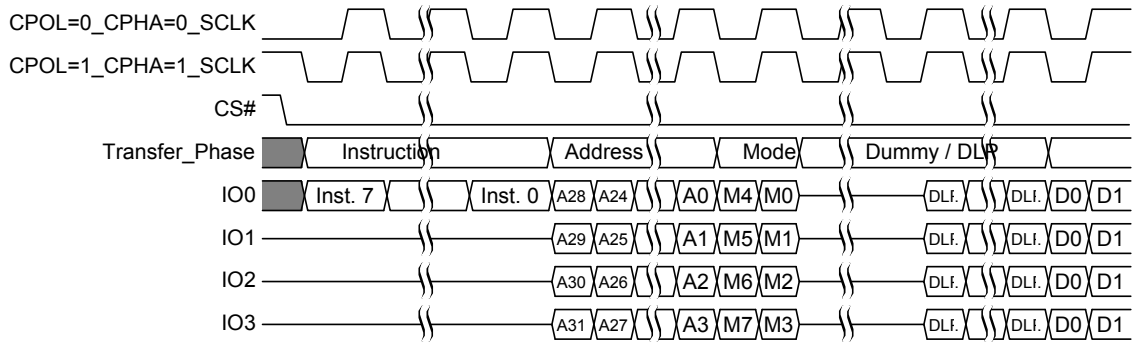
SCK 周期是从一个 SCK 下降沿到下另一个 SCK 下降沿进行测量 （计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

5.1.2 双倍数据速率 （DDR）

DDR 命令也支持模式 0 和模式 3。与 SDR 命令相同，在 DDR 命令中，指令位也是在时钟的上升沿上被锁存的。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。最后指令位在 SCK 的下降沿上被锁存之后，第一个地址位会在随后的第一个 SCK 上升沿上被锁存。第一个输出数据位则在最后访问延迟 （虚拟）周期结束后的下降沿上被发送。

与 SDR 命令相同，SCK 周期也是从一个 SCK 下降沿到下一个 SCK 下降沿进行测量 （计数）得到的。在模式 0 下，由于开始执行某个命令时 SCK 已经处于低电平状态，因此执行命令时的第一个 SCK 周期指的是从 CS# 的下降沿到第一个 SCK 下降沿。

图 12. 支持 SPI DDR 模式



5.2 命令协议

主机系统和 FL-L 存储器件系列之间都是以单位 （unit）形式 （称为命令）进行通信的。请参考第 58 页上的 8. 命令节，了解所有命令的定义和详情。

所有命令都以一个 8 位指令开始，该指令用于选择信息传输类型或器件需要执行的操作。命令可能也具有一个地址、指令修饰符、延迟周期、传送到存储器，或者是从存储器传送的数据。主机系统和存储器件之间的所有指令、地址和数据信息都是连续传输的。

通过一个使用 3 个数字的数字命令法来划分命令协议，以便能参考三个命令阶段的发送宽度。

- 指令；
- 地址和指令修饰符 （连续读取模式位）；
- 数据。

单比特命令只通过 SI 信号依次传输指令和地址或数据。数据会通过 SO 信号从存储器串行回送到主机内。对于单比特宽指令，单比特宽地址和修饰符、单比特数据的结构，被称为 1-1-1 命令协议。

双线输出或四线输出命令从主机端通过 SI （IO0）将地址和虚拟周期依次进行发送。数据可以按双比特一组的方式通过 IO0 和 IO1 从存储器回送到主机，也可以按四比特 （半字节）一组的方式通过 IO0、 IO1、 IO2 和 IO3 回送。对于双线输出和四线输出命令，这种结构分别被称为 1-1-2 和 1-1-4 命令协议。

双线或四线输入 / 输出 （I/O）命令会按双比特一组的方式通过 IO0 和 IO1 将主机的数据传输给存储器，或按四比特 （半字节）一组的方式通过 IO0、IO1、IO2 和 IO3 从主机发送，然后传送虚拟周期。数据也可以按照同样的方式回送给主机。对于双线 I/O 和四线 I/O 命令，这种结构分别被称为 1-2-2 和 1-4-4 命令协议。

FL-L 系列也支持 QPI 模式，在该模式下所有信息 （包括指令、地址、修饰符和数据）都以 4 比特的宽度传输。这种形式被称为 4-4-4 命令协议。

命令的结构如下：

- 每个命令都在 CS# 的下降沿开始执行，并在 CS# 的上升沿结束。主机通过一个命令将芯片选择（CS#）信号驱动为低电平，从而能够选择器件。
- 串行时钟 （SCK）标记了主机和存储器之间所传输的单个位或一组位。
- 每个命令都以一个 8 位（一个字节）的指令开始。该指令用于选择信息传输类型或需要执行的器件操作。该指令在 SCK 的上升沿上进行传送。但某些读命令被前一个读命令修改，因此该指令要从更早的命令中显示。这种形式被称为连续读取模式。器件处于连续读取模式时，由于该指令和用于初始化连续读取模式的读取命令相同，所以各个指令位不会在开始执行命令时被传输。在该模式下，命令会从读取地址开始。因此，连续读取模式会将处于相同类型的读取命令中的每个读命令内的 8 个指令位删除。
- 该指令可以单独在设备的某些地址空间中选择一个位置，或者跟着地址位一起选择。该指令用于确定所使用的地址空间。地址可能是 24 位或 32 位（字节边界）的地址。地址会在 SCK 的上升沿（若执行 SDR 命令）或在 SCK 双边沿上（若执行 DDR 命令）得到传送。
- 在传统的SPI模式下，传输指令后所有传输宽度都由已发送的指令确定。以下表示的可能是其中一种传输类型：仅通过串行输入（SI）或串行输出 （SO）信号传输单比特；通过 IO0 和 IO1 信号每次 （双线）传输将以双比特的形式进行发送；或通过 IO0-IO3 信号每次 （四线）传输以 4 比特的形式执行。在双比特或四比特组中，最低有效位是通过 IO0 信号发送的。其他更高有效位则按照权值大小通过编号更高的 IO 信号发送。单比特或并行比特组则按照从最高有效位到最低有效位的顺序进传输。
- 在 QPI 模式下，所有信息都按照 4 比特宽 （四线传输）通过 IO0-IO3 信号进行发送。
- 双线和四线 I/O 读指令在发送地址后将发送一个指令修饰符（称为连续读取模式位），以指明下一个命令的类型与之前的命令相同，而它并不是明确的命令。这些模式位用于初始化或结束连续读取模式。因此，下一条命令只会提供新地址和模式位，并不提供指令字节。当某个命令序列中重复了相同的命令类型时，会减少发送每一个命令所需要的时间。模式位会在 SCK 的上升沿（若执行 SDR 命令）或在 SCK 双边沿上 （若执行 DDR 命令）进行传送。
- 地址或模式位发送之后可以接着发送将被写入存储器的数据，可以是一个读延迟周期 （数据返回给主机前）。
- 写入数据位传输会在 SCK 的上升沿 （若执行 SDR 命令）或在 SCK 双边沿上 （若执行 DDR 命令）锁存。
- SCK 会在读访问的延迟周期内继续进行切换。该延迟（又称为虚拟周期）可能为 0 到几个 SCK 周期。最后的读取延迟周期结束后，第一次读取的数据位会在 SCK 下降沿上被输出。第一次读取的数据位被认为是在下一个 SCK 下降沿上传输给主机的。将在 SCK 的下一个上升沿 （若执行 SDR 命令）或在 SCK 的任一沿上 （若执行 DDR 命令）进行下一次传输操作。
- 如果命令将读数据返回给主机，则存储器件会继续发送数据，直到主机将 CS# 信号驱动为高电平为止。结束读取数据序列中任一个传输操作后，都可以将 CS# 信号驱动为高电平。这样会终止命令。

- 命令被终止时，不会再返回数据，此时主机可将CS#输入信号驱动为高电平。传输单独指令的第八位或最后写数据字节的第八位后，CS# 信号必须变为高电平。这样，当位数量在 CS# 被驱动为低电平后是 8 位的整数倍时，必须将 CS# 信号驱动为高电平。如果 CS# 信号在指令或写入数据的 8 位边界后没有变为高电平，该命令将被拒绝，并且不能执行该命令。
- 所有指令、地址和模式位均被移入到器件内，并且先发送最高有效位 （MSB）。数据位都被移入到器件，或从器件移出，并且要先传输 MSB。所有数据都以字节为单位进行传输，并且先发送最低地址字节。随后的数据字节按照从最低到最高字节地址的顺序（即字节地址递增）进行发送。
- 在编程、擦除或写周期 （嵌入式操作）中，尝试读取闪存阵列的操作均被忽略。嵌入式操作仍继续进行而不受任何影响。执行嵌入式操作时只接受少数命令集。这些信息会在单独命令的说明部分进行介绍。
- 执行时间会因命令不同而发生变化。提供用于读取某个执行命令的状态信息的命令，可确定命令结束的时间，并且确定该命令是否被成功执行。

5.2.1 命令顺序示例

图 13. 单独指令的命令

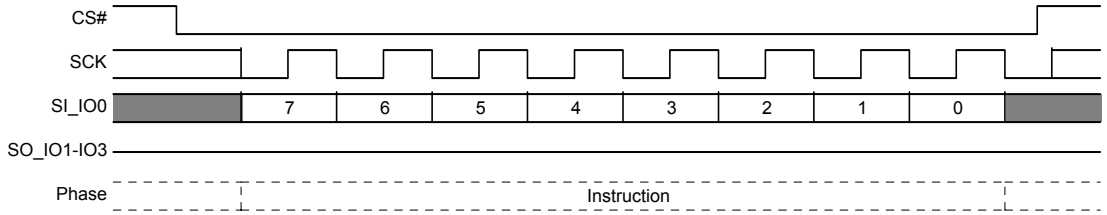


图 14. 单线输入命令

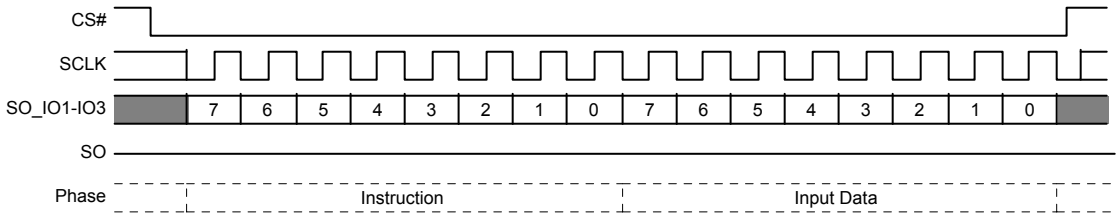


图 15. 单线输出命令 （没有延迟）

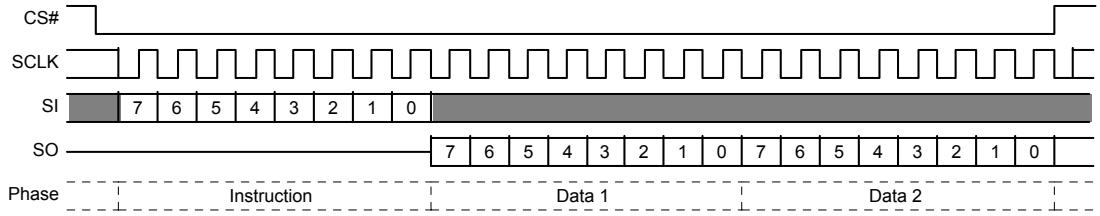


图 16. 单线 I/O 命令 （有延迟）

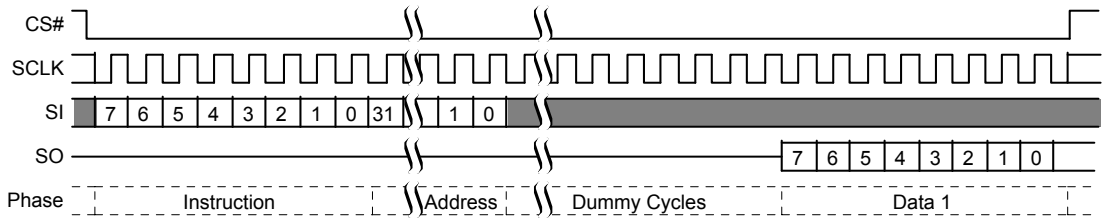


图 17. 双线输出读命令

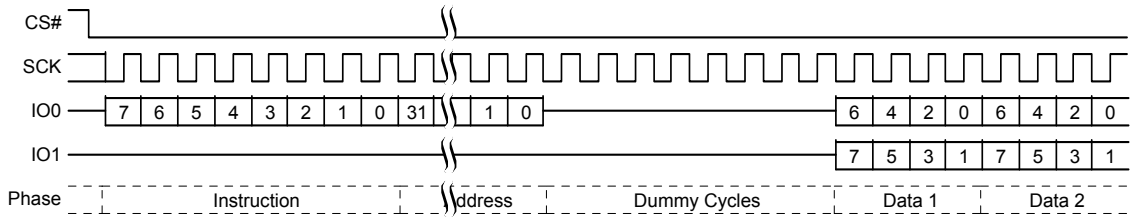


图 18. 四线输出读命令

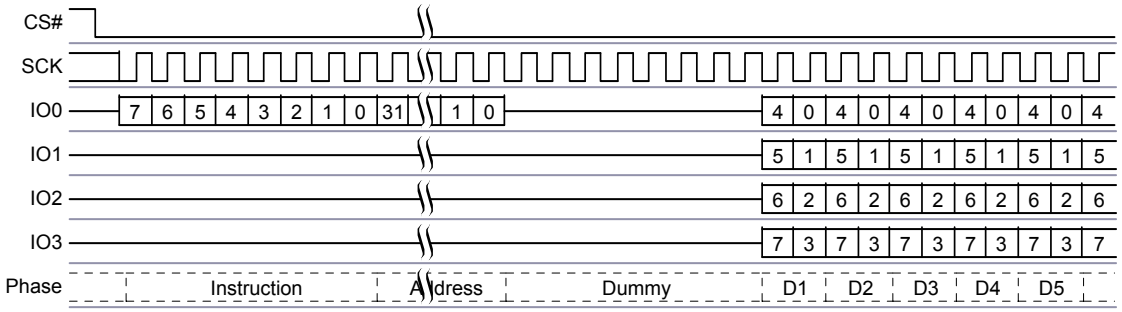


图 19. 双线 I/O 命令

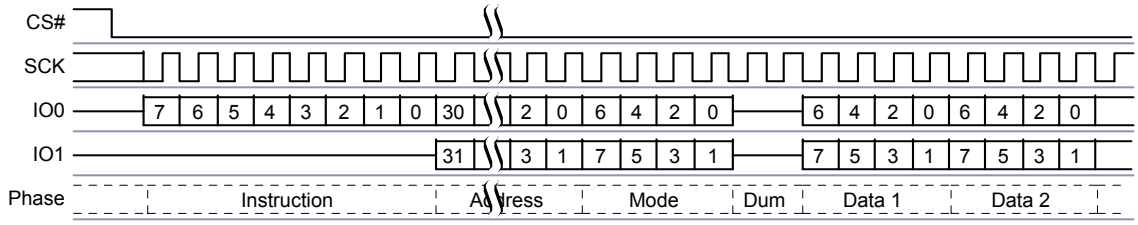
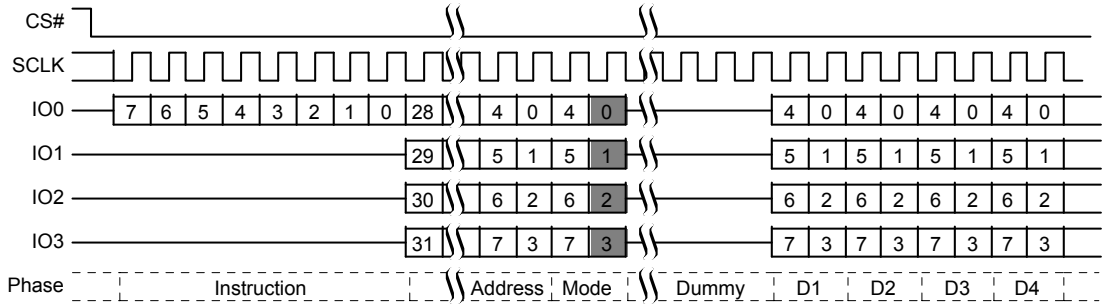


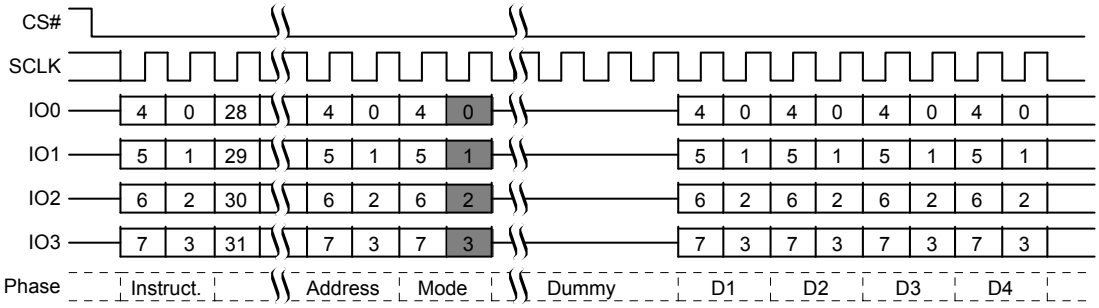
图 20. 四线 I/O 命令



注释：

8. 灰色显示的是可选位，在该周期中主机无需发送这些位。

图 21. 在 QPI 模式下的四线 I/O 读命令



注释：

9. 灰色显示的是可选位，在该周期中主机无需发送这些位。

图 22. DDR 双线 I/O 读命令

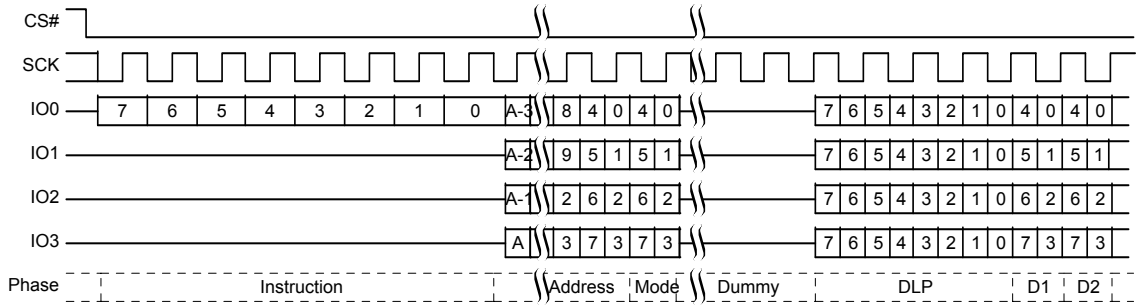
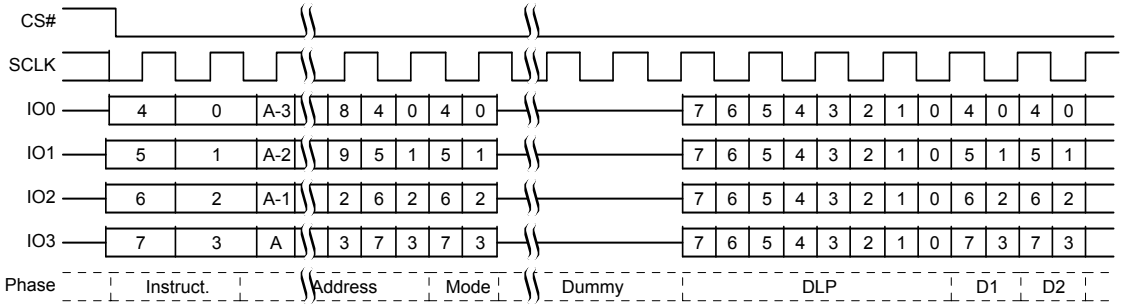


图 23. 在 QPI 模式下的 DDR 四线 I/O 读命令



有关每个命令的其他序列框图，请参考第 58 页上的 8. 命令节一节中的内容。

5.3 接口状态

本节将说明与 SPI 接口状态相应的输入和输出信号电平。

表 3. 接口状态汇总

接口状态	VCC	SCK	CS#	RESET#	IO3/ RESET#	WP#/ IO2	SO/IO1	SI/IO0
断电	< V_{CC} （低电平）	X	X	X	X	X	Z	X
低电压 硬件数据保护	< V_{CC} （关闭）	X	X	X	X	X	Z	X
上电 （冷）复位	≥ V_{CC} （最小值）	X	HH	X	X	X	Z	X
硬件 （热）复位 无四线模式	≥ V_{CC} （最小值）	X	X	HL	HL	X	Z	X
硬件 （热）复位四线模式	≥ V_{CC} （最小值）	X	HH	HL	HL	X	Z	X
接口待机状态	≥ V_{CC} （最小值）	X	HH	HH	HH	X	Z	X
指令周期 （传统 SPI）	≥ V_{CC} （最小值）	HT	HL	HH	HH	HV	Z	HV
单线输入周期 从主机到存储器的传输	≥ V_{CC} （最小值）	HT	HL	HH	HH	X	Z	HV
单线延迟 （虚拟）周期	≥ V_{CC} （最小值）	HT	HL	HH	HH	X	Z	X
单线输出周期 从存储器到主机的传输	≥ V_{CC} （最小值）	HT	HL	HH	HH	X	MV	X
双线输入周期 从主机到存储器的传输	≥ V_{CC} （最小值）	HT	HL	HH	HH	X	HV	HV
双线延迟 （虚拟）周期	≥ V_{CC} （最小值）	HT	HL	HH	HH	X	X	X
双线输出周期 从存储器到主机的传输	≥ V_{CC} （最小值）	HT	HL	HH	HH	X	MV	MV
四线输入周期 从主机到存储器的传输	≥ V_{CC} （最小值）	HT	HL	HH	HV	HV	HV	HV
四线延迟 （虚拟）周期	≥ V_{CC} （最小值）	HT	HL	HH	X	X	X	X
四线输出周期 从存储器到主机的传输	≥ V_{CC} （最小值）	HT	HL	HH	MV	MV	MV	MV
DDR 四线输入周期 从主机到存储器的传输	≥ V_{CC} （最小值）	HT	HL	HH	HV	HV	HV	HV
DDR 延迟 （虚拟）周期	≥ V_{CC} （最小值）	HT	HL	HH	X	X	X	X
DDR 四线输出周期 从存储器到主机的传输	≥ V_{CC} （最小值）	HT	HL	HH	MV	MV	MV	MV

注意：
- Z = 无驱动信号 — 悬空信号
- HL = 由主机驱动的 V_{IL}
- HH = 由主机驱动的 V_{IH}
- HV = HL 或 HH
- X = HL 或 HH 或 Z
- HT = 在 HL 和 HH 间切换
- ML = 由存储器驱动的 V_{IL}
- MH = 由存储器驱动的 V_{IH}
- MV = ML 或 MH

5.3.1 断电

当内核供电电压不大于 V_{CC}（Low）电压时，器件被视为断电。这时，器件不对外部信号做出响应，防止对该器件执行的所有编写或擦除操作。

5.3.2 低功耗时的硬件数据保护

如果 V_{CC} 小于 V_{CC}（Cut-off），那么存储器器件会忽略各条命令，以保证内核供电电压在工作范围外时不会启动编写和擦除操作。如果内核电压在 ≥ t_{PD} 时间内保持不超过 V_{CC}（Low），然后上升到 ≥ V_{CC}（Minimum）值时，器件将开始执行上电复位（POR）程序。继续执行 POR 程序，直到 t_{PU} 时间结束为止。在 t_{PU} 期间，器件不会对外部输入信号做出响应，也不会驱动任何输出。经过 t_{PU} 时间后，器件将切换到接口待机状态，并能够接受各条命令。欲了解有关 POR 的更多信息，请参见第 138 页上的 12.3.1 上电（冷）复位节。

5.3.3 硬件（热）复位

这是一个配置选项，器件并不处于任何一种四线或 QPI 模式时，或者器件处于四线模式或 QPI 模式并且 CS# 为高电平时，则通过该选项，可以将 IO3/RESET# 作为硬件复位输入使用。在四线模式或 QPI 模式下，某些封装中会提供单独的复位输入（RESET#）。在 t_{RP} 期间，如果 IO3/RESET# 或 RESET# 被置为低电平，则器件将启动硬件复位程序。继续执行该程序 t_{RPH} 时间。经过 t_{RPH} 时间以及在 RESET# 上升后的复位保持时间（t_{RH}）后，器件将切换到接口待机状态，并能够接受各条命令。欲了解有关硬件复位的更多信息，请参见第 138 页上的 12.3 复位节。

5.3.4 接口待机

如果 CS# 为高电平，则 SPI 接口处于待机状态。其他输入（RESET# 除外）均被忽略。接口会保持等待状态，直到开始执行新命令为止。当 CS# 转为低电平以启动一条新命令时，下一个接口状态是指令周期。

在接口待机状态下，如果不再执行任何嵌入式算法，存储器器件将消耗待机电流（I_{SB}）。如果正在执行某个嵌入式算法，那么将消耗相应的电流，直到完成该算法为止，此时整个器件将消耗待机电流。

5.3.5 指令周期（传统的 SPI 模式）

当主机驱动了一个指令的最高有效位（MSb）且 CS# 转为低电平时，在 SCK 的下一个上升沿上，器件将捕获指令（开始新命令）的最高有效位。在后面每一个 SCK 的上升沿上，器件都将捕获 8 位指令的下一个较低有效位。主机保持 CS# 为低电平并驱动写保护（WP#）和 IO3/RESET# 信号以供指令使用。不过，仅在处理 WRR 或 WRAR 命令或任何影响状态寄存器、配置寄存器和 DLR 寄存器命令的指令周期内，WP# 才被验证。除非执行这些指令周期期间，否则 WP# 将被忽略。如果器件未处于四线模式（CR1V[1] = 0）或 QPI 模式（CR2V[3] = 0），并且不需要硬件复位，则 IO3/RESET# 被置为高电平。

每个指令选择了用于操作的地址空间和在执行命令的其余部分期间使用的传输格式。传输格式可能为单线、双线 O、四线 O、双线 I/O、四线 I/O 或 DDR 四线 I/O。下一个接口的状态取决于所接收到的指令。

一些命令可以独立使用，无需将地址或数据传输到存储器或传输存储器的地址或数据。经过 SCK（在这种命令中指令的第八位）上升沿后，主机将 CS# 返回高电平状态。在这种情况下，下一个接口状态是接口待机。

5.3.6 指令周期（QPI 模式）

在 QPI 模式下，如果 CR2V[3] = 1，则在每个周期内各条指令能够传输 4 比特。在该模式下，指令周期与四线输入周期相同。请参见第 20 页上的 5.3.13 QPP 或 QOR 地址输入周期节。

5.3.7 单线输入周期 — 从主机到存储器的传输

将单线串行输入（SI）信号上的指令从主机发送到存储器器件后，一些命令会传输信息。主机保持 RESET# 为高电平、 CS# 为低电平，并驱动 SI 以供命令使用。存储器不会驱动串行输出（SO）信号。

下一个期望接口的状态取决于该指令。通过使用额外的单线输入周期，某些指令会连续将地址或数据发送给存储器。其他指令可能会切换到单线延迟状态，或直接转到单线、双线或四线输出周期状态。

5.3.8 单线延迟（虚拟）周期状态

读取命令可能没有延迟周期，也可能会有若干个延迟周期，在这些周期内，直到发送到主机前，主闪存存储器阵列内的数据都被读取。配置寄存器（CR3V[3:0]）中的延迟代码决定了延迟周期的数量。在延迟周期内，主机会保持 RESET# 和 IO3/RESET# 为高电平、CS# 为低电平， SCK 会进行切换。写保护（WP#）信号被忽略。在这些周期内，主机可能会驱动 SI 信号 ，或者将 SI 保持为悬空状态。在延迟周期内，存储器不会使用在 SO 或其他 I/O 信号上所驱动的任意数据。在延迟周期内，存储器不会驱动串行输出（SO）或其他 I/O 信号。

下一个接口状态取决于命令结构，例如，延迟周期数量以及读取方式是单线、双线或四线宽度。

5.3.9 单线输出周期 — 从存储器到主机的传输

通过单线串行输出（SO）信号，若干个命令会将信息返回到主机。主机将保持 RESET# 和 IO3/RESET# 为高电平、CS# 为低电平。写保护 （WP#）信号被忽略。存储器忽略了串行输入 （SI）信号。存储器使用数据驱动 SO 信号。

下一个接口状态仍是单线输出周期，直到主机通过将 CS# 返回到高电平状态来结束命令为止。

5.3.10 双线输入周期 — 从主机到存储器的传输

每个周期内，双线读取 I/O 命令都会将两个地址或模式位传输给存储器。主机保持 RESET# 和 IO3/RESET# 为高电平、 CS# 为低电平。写保护 （WP#）信号被忽略。主机将驱动 SI / IO0 和 SO / IO1 上的地址。

传输地址和模式位后，下一个接口状态是双线延迟周期 （若需要延迟周期）或双线输出周期 （若无需延迟周期）。

5.3.11 双线延迟 （虚拟）周期

读取命令可能没有延迟周期，也可能会有若干个延迟周期，在这些周期内，直到发送到主机前，主闪存存储器阵列内的数据都被读取。配置寄存器 （CR3V[3:0]）中的延迟代码决定了延迟周期的数量。在延迟周期内，主机会保持 RESET# 和 IO3/RESET# 为高电平、CS# 为低电平， SCK 会持续切换。写保护 （WP#）信号被忽略。在这些周期内，主机可能驱动 SI / IO0 和 SO / IO1 信号 ，或者将这些信号保持为悬空状态。在延迟周期内，存储器不会使用在 SI / IO0 和 SO / IO1 或其他 I/O 信号上所驱动的任意数据。最后的延迟周期结束时，主机必须停止驱动 SCK 的下降沿上 SI / IO0 和 SO / IO1 信号。在所有延迟周期内，建议停止主机对这些信号的驱动操作，以便在延迟周期结束时存储器开始驱动前，有足够时间使主机驱动器停止传输操作。这样做，如果信号方向发生改变，则能够防止主机和存储器间发生冲突。在延迟周期内，存储器不会驱动 SI / IO0 和 SO / IO1 信号。

最后延迟周期结束后，下一个接口状态是双线输出周期。

5.3.12 双线输出周期 — 从存储器到主机的传输

在每个周期内，双线读取输出和双线读取 I/O 命令会将数据 （2 位）返回到主机内。主机保持 RESET# 和 IO3/RESET# 为高电平、CS#为低电平。写保护（WP#）信号被忽略。在双线输出周期内，在SCK的下降沿上，存储器将驱动SI / IO0和SO / IO1信号上的数据。

下一个接口状态仍是双线输出周期，直到主机通过使 CS# 返回高电平状态来结束命令为止。

5.3.13 QPP 或 QOR 地址输入周期

四线页编程和四线输出读取命令仅在 IO0 信号上将地址发送到存储器。其他 IO 信号均被忽略。主机将保持 RESET# 和 IO3/RESET# 为高电平、 CS# 为低电平，并驱动 IO0。

QPP 命令发送地址后，下一个接口状态将是四线输入周期。 QOR 传输地址后，下一个接口状态是四线延迟周期 （若需要延迟周期）或四线输出周期 （若无需延迟周期）。

5.3.14 四线输入周期 — 从主机到存储器的传输

每个周期内，四线 I/O 读取命令都将四个地址位或模式位传输到存储器中。在 QPI 模式下，每个周期 （包括指令周期）内，四线 I/O 读取和页编程命令都会将四个数据位传输到存储器内。主机会保持 CS# 为低电平，并驱动 IO 信号。

四线 I/O 读取命令传输地址和模式位后，下一个接口状态是四线延迟周期 （若需要延迟周期）或四线输出周期 （若无需延迟周期）。在 QPI 模式下，页编程命令传输需要编程的数据后，主机会使 CS# 返回高电平状态，而且接口会返回待机状态。

5.3.15 四线延迟 （虚拟）周期

读取命令可能不存在延迟周期，也可能存在若干个延迟周期。在这些周期内，数据先从主闪存存储器阵列内被读取，然后才被发送给主机。配置寄存器（CR3V[3:0]）中的延迟代码决定了延迟周期的数量。在延迟周期内，主机会保持 CS# 为低电平，并持续切换 SCK。在这些周期内，主机可能驱动 IO 信号 ，或者将 IO 保持为悬空状态。在延迟周期内，存储器不会使用 IO 信号上所驱动的任意数据。最后的延迟周期结束时，主机必须停止驱动下降沿上的 IO 信号。在所有延迟周期内，建议停止主机对这些信号的驱动操作，以便在延迟周期结束时存储器开始驱动前，有足够时间使主机驱动器停止传输操作。这样做，如果信号方向发生改变，则能够防止主机和存储器间发生冲突。在延迟周期内，存储器不会驱动 IO 信号。

最后延迟周期结束后，下一个接口状态是四线输出周期。

5.3.16 四线输出周期 — 从存储器到主机的传输

每个周期内，四线 O 和四线 I/O 读取命令会将 4 位的数据返回给主机。主机保持 CS# 为低电平。在四线输出周期期间，存储器会驱动 IO0-IO3 信号上的数据。

下一个接口状态仍是四线输出周期，直到主机使 CS# 返回高电平状态而使命令结束为止。

5.3.17 DDR 四线输入周期 — 从主机到存储器的传输

DDR 四线 I/O 读取命令会通过所有 IO 信号将地址和模式位发送给存储器。每个周期内，在 SCK 的上升沿上传输 4 比特，在下降沿上传输 4 比特。主机保持 CS# 为低电平。

传输地址和模式位后，下一个接口状态是 DDR 延迟周期。

5.3.18 DDR 延迟周期

DDR 读取命令可能具有一个或若干个延迟周期，在这些周期内，数据被发送给主机前，主闪存存储器阵列内的数据将被读取。配置寄存器（CR3V[3:0]）中的延迟代码决定了延迟周期的数量。在延迟周期内，主机会保持 CS# 为低电平。此外，主机不会驱动 IO 信号。因此，在存储器开始驱动前，有足够的时间使主机驱动器停止传输操作。这样做，如果信号方向发生改变，能够防止主机和存储器间发生冲突。在最后 4 个延迟周期内，存储器可以选择使用一个数据学习模式 （DLP）驱动所有 IO 信号。如果延迟周期数小于 5，则不应该使能 DLP 选项。因此，在存储器开始驱动 DLP 前，至少有一个高阻抗的周期以等待 IO 信号经过处理并返回。如果有多于 4 个延迟周期，则存储器不会驱动 IO 信号，直到最后四个延迟周期为止。

最后延迟周期结束后，下一个接口状态是 DDR 四线输出周期，具体情况取决于指令。

5.3.19 DDR 四线输出周期 — 从存储器到主机的传输

DDR 四线 I/O 读取命令会通过所有 IO 信号将数据位发送给主机。每个周期内，在 SCK 的上升沿上传输 4 比特，在下降沿上传输 4 比特。主机保持 CS# 为低电平。

下一个接口状态仍是 DDR 四线输出周期，直到主机使 CS# 返回高电平状态而使命令结束为止。

5.4 数据保护

硬件设计提供并管理着某些基本的保护功能，用于防止对存储数据进行意外的更改。具体内容如下。其它软件管理的保护方式将在本文档的软件章节中进行讨论。

5.4.1 上电

发生上电 （CS# 的电压必须采用 V_{CC} 上的电压）时，不能选择器件，直到 V_{CC} 准确满足以下值：

- 上电时为 V_{CC} （最小值）并在 t_{PU} 的更长延迟期间持续保持该值

用户不能输入任何命令，直到 V_{CC} 上升超过 V_{CC} 最小阈值后再经过 t_{PU} 的有效延迟时间结束为止。请参见图 131。但是在 t_{PU} 期间，如果 V_{CC} 返回到低于 V_{CC} （最小值）的电平状态，将不能保证器件正常操作。在 t_{PU} 结束前，不应该发出任何命令。

5.4.2 低功耗

如果 V_{CC} 小于 V_{CC}（Cut-off），那么存储器器件会忽略各条命令，以保证内核供电电压在工作范围外时不会启动编写和擦除操作。

5.4.3 时钟脉冲数量

器件会验证所有修改非易失性存储器和寄存器数据的命令是否包含了一个时钟脉冲数量。执行这些命令前，该时钟脉冲数量是 8 的倍数 （字节边界）。不在 8 位 （字节）边界上结束的命令将被忽略，该命令不存在任何错误状态。

5.4.4 深度掉电 （DPD）

在 DPD 模式下，器件仅对从 DPD 模式恢复的命令 （RES ABh）发出响应。在该模式下，所有其他命令均被忽略，从而防止对存储器执行编程和擦除操作。如果使能了 IO3/RESET# 功能 （CR2V[7] = 1）或者 RESET# 有效，那么通过将 IO3/RESET# 或 RESET# 设置为低电平状态便可以启动硬件复位并使器件退出 DPD 模式。

6. 地址空间映射

6.1 概述

6.1.1 扩展地址

FL-L 系列支持 32 位（4 个字节）地址。这样，同前一代（旧版） SPI 器件相比，器件容量更高（前代 SPI 器件仅支持 24 位（3 个字节）地址。对于 24 位的字节分辨率系统，地址寄存器允许对 16 MB （128 Mb）的地址空间进行访问。对于 32 位、字节分辨率，地址寄存器允许直接访问 4 GB （32 Gb）大的地址空间。

传统的命令仍支持 24 位地址，以实现软件向后兼容。通过以下两种方法可以获取扩展的 32 位地址：

■扩展地址模式 — 一个易失性配置寄存器位，它更改了所有传统命令，以获取由主机系统提供的 32 位地址。

■4 字节地址命令 — 执行传统的和新的功能，从而能够获取 32 位地址。

上电或复位后，扩展地址模式的默认条件是由非易失性配置位控制的。可将默认的扩展地址模式设置为 24 或 32 位地址。这样可以对器件的前 128 Mb 空间进行传统的软件兼容访问，并允许器件在 32 位地址模式下直接启动。

6.1.2 多地址空间

许多命令在主闪存存储器阵列上运行。某些命令在独立于主闪存阵列的地址空间内运行。每个单独地址空间使用了整个 24 或 32 位地址，但只定义可用地址空间的一小部分。

6.2 闪存存储器阵列

主闪存阵列被分为大小统一的擦除单位，这些单位被称为物理块 （64 KB）、半块 （32 KB）和扇区 （4 KB）。

表 4. S25FL256L 扇区地址映射

块大小（KB）	块数量	块范围	半块大小（KB）	半块数量	半块范围	扇区容量（KB）	扇区数量	扇区范围	地址范围（字节地址）	注意
64	1	BA00	32	1	HBA00	4	1	SA00	0000000h-0000FFFh	扇区起始地址 — 扇区结束地址
						:	:	:	:	
			32	2	HBA01	4	16	SA15	000F000h-000FFFFh	
:	:	:	:	:	:	:	:	:	:	
64	512	BA511	32	1023	HBA1022	4	8176	SA8175	1FF0000h-1FF0FFFh	
						:	:	:	:	
			32	1024	HBA1023	4	8192	SA8191	1FFF000h-1FFFFFFh	

表 5. S25FL128L 扇区地址映射

块大小（KB）	块数量	块范围	半块大小（KB）	半块数量	半块范围	扇区容量（KB）	扇区数量	扇区范围	地址范围（字节地址）	注意
64	1	BA00	32	1	HBA00	4	1	SA00	000000h-000FFFh	扇区起始地址 — 扇区结束地址
						:	:	:	:	
			32	2	HBA01	4	16	SA15	00F000h-00FFFFh	
:	:	:	:	:	:	:	:	:	:	
64	256	BA255	32	511	HBA510	4	4080	SA4079	FF0000h-FF0FFFh	
						:	:	:	:	
			32	512	HBA511	4	4096	SA4095	FFF000h-FFFFFFh	

6.3 ID 地址空间

RDID 命令 （9Fh）从单独的闪存存储器地址空间内读取信息，以获取器件标识 （ID）。请参考第 129 页上的 10.2 器件 ID 地址映射节，了解定义 ID 地址空间内容的表格。该 ID 地址空间由赛普拉斯编程，主机系统只能对其执行读取操作。

6.3.1 器件的唯一 ID

64 位唯一编号位于唯一器件 ID 地址空间中的 8 个字节内，请参考第 129 页上的表 52。该唯一 ID 可以作为每个器件的唯一软件可读序列号。

6.4 JEDEC JESD216 串行闪存可发现参数 （SFDP）空间

根据串行闪存可发现参数的 JEDEC JESD216 标准， RSFDP 命令 （5Ah）从单独闪存存储器地址空间读取信息，以获取器件标识、特性和配置信息。 ID 地址空间被组合为某个 SFDP 参数。请访问第 120 页上的 10.1 JEDEC JESD216B 串行闪存可发现参数节，查看描述 SFDP 地址空间定义的表格。该 SFDP 地址空间由赛普拉斯编程，主机系统只能对其进行读取操作。

6.5 安全区域地址空间

每个 FL-L 系列存储器器件具有一个独立于主闪存阵列的 1024 字节安全区域地址空间。该安全区域分为四个可独立锁定的 256 字节区域。安全区域存储器空间包含某些信息，这些信息暂时被保护或长期锁定，因此无法对其进行其他的编程或擦除操作。

从赛普拉斯出厂时，这些区域的数据字节被擦除为 FFh。当该区域不被保护或锁定时，可以对其进行编程和擦除操作，就像对其他闪存存储器地址空间进行的操作一样。可以独立擦除每个区域。安全区域锁定位 （CR1NV[5:2]）位于配置寄存器 1 内。安全区域锁定位是一次性可编程 （OTP）位。编程这些位后 （设置为 1），一个锁定位将长期防止对相关区域进行其他的擦除或编程操作。

保护寄存器（PR）NVLock 位暂时防止对区域 2 和区域 3 进行编程或擦除操作。NVLock 位是易失性位，通过使用 IRP 逻辑和各种命令可以设置或清除它。请参见第 40 页上的 6.6.8 保护寄存器 （PR）节。

IRP 寄存器（IRP[2]）中的安全区域密码保护位用于防止对区域 2 和区域 3 进行编程和擦除操作，直到提供一个密码为止。 IRP 寄存器 （IRP[6]）中的安全区域读取保护位用于防止对区域 3 进行读取操作，直到提供一个密码为止。尝试读取防止读操作的区域时，将返回无效和未定义的数据。请参考第 38 页上的 6.6.6 单独和区域保护寄存器 （IRP）节。

尝试擦除或编程受保护或被锁定的区域时，会导致结果失败，并且 SR2V[6:5] 中的 P_ERR 或 E_ERR 位被设置为 1。（请参考第 29 页上的 6.6.2 状态寄存器 2 易失性 （SR2V）节了解详细说明）。

表 6. 安全区域地址映射

区域	字节地址范围 （十六进制）	初始供应状态 （十六进制）
区域 0	000 到 0FF	所有字节 = FF
区域 1	100 到 1FF	所有字节 = FF
区域 2	200 到 2FF	所有字节 = FF
区域 3	300 到 3FF	所有字节 = FF

6.6 寄存器

寄存器是存储器单元的小组，用于配置 FL-L 系列存储器器件的运行方式以及报告器件的运行状态。通过使用特殊命令可以访问这些寄存器。使用于每个寄存器的命令 （和十六进制指令代码）被注释在每个寄存器的说明内。

在旧版的 SPI 存储器器件中，独立寄存器位可以是同一个寄存器中易失性、非易失性或一次性可编程（OTP）位的混合体。在某些配置选项中，寄存器位的类型会发生改变，例如，从非易失性变为易失性。

FL-L 系列使用单独的非易失性或易失性存储器单元组 （区域）来实现不同类型的寄存器位。然而， FL-L 系列兼容了传统寄存器和各种命令并且它们始终有效。当传统寄存器具有易失性位或读取传统寄存器的命令具有 0 读取延迟时，每个传统寄存器有非易性和易失性版本。当读取这种寄存器时，将提供该寄存器的易失性版本。在上电复位 （POR）、硬件复位或软件复位期间，寄存器的非易失性版本被复制为易失性版本，以提供易失性寄存器的默认状态。当写入非易失性寄存器位时，寄存器的非易失性版本将被擦除并编程新的位值，而且寄存器的易失性版本将更新非易失性版本的新内容。当编程 OTP 位时，寄存器的非易失性版本将被编程，而且寄存器易失性版本中的相应位被更新。当写入易失性寄存器位时，只有寄存器易失性版本中的相应位被更新。

每一位的类型注释均位于每个寄存器的说明内。每一位的默认状态指的是执行上电复位、硬件复位或软件复位后的状态（如果它是易失性位）。如果该位是非易失性或 OTP 位，那么其默认状态便是器件从赛普拉斯出厂时该位的值。写入非易失性寄存器时，必须特别注意电源供电的稳定 （没有中断）。这样才能保证将正确的数据写入寄存器。

6.6.1 状态寄存器 1

6.6.1.1 非易失性状态寄存器 1 （SR1NV） S25FL256L

相关命令：非易失性寄存器的写使能 （WREN 06h）、写禁用 （WRDI 04h）、写入寄存器 （WRR 01h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器 （WRAR 71h）。

表 7. 非易失性状态寄存器 1 （SR1NV）

位	字段名称	功能	类型	默认状态	说明
7	SRP0_NV	状态寄存器保护 0 默认设置	非易失性	0	为 SRP0 提供默认状态。
6	TBPROT_NV	TBPROT 默认设置	非易失性	0	为 TBPROT 提供默认状态。
5	BP_NV3	传统块保护默认设置	非易失性	0000b	为 BP 位提供默认状态。
4	BP_NV2				
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL 的默认设置	非易失性只读	0	为 WEL 状态位提供默认状态。用户不能编程该位。
0	WIP_D	WIP 的默认设置	非易失性只读	0	为 WIP 状态位提供默认状态。用户不能编程该位。

状态寄存器保护非易失性 （SRP0_NV）SR1NV[7]：为 SRP0 提供默认状态。请参见第 45 页上的 7.5 状态寄存器保护 （SRP1、SRP0）节。

顶部或底部保护位 （TBPROT_NV）SR1NV[6]：为 TBPROT 提供默认状态。

传统模块保护位 （BP_NV3、 BP_NV2、 BP_NV1、 BP_NV0）SR1NV[5:2]：为 BP_3 到 BP_0 位提供默认状态。

写使能锁存的默认位 （WEL_D）SR1NV[1]：为 SR1V[1] 中的 WEL 状态提供默认状态。该位由赛普拉斯编程，用户不能编程它。

正在写入的默认位 （WIP_D） SR1NV[0]：为 SR1V[0] 中的 WIP 状态提供默认状态。该位由赛普拉斯编程，用户不能编程它。

6.6.1.2 易失性状态寄存器 1 （SR1V） S25FL256L

相关命令：读取状态寄存器 1 （RDSR1 05h）、易失性寄存器的写使能 （WRENV 50h）、写入寄存器 （WRR 01h）、清除状态寄存器 （CLSR 30h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器 （WRAR 71h）。通过使用 RDSR1 命令可以显示该寄存器。

表 8. S25FL256L 易失性状态寄存器 1 （SR1V）

位	字段名称	功能	类型	默认状态	说明
7	SRP0	状态寄存器保护 0	易失性	SR1NV	1 = 通过执行任意影响到 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 的命令，WP# 为低电平时 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 的锁定状态 0 = 即使 WP# 为低电平，也不进行寄存器保护。
6	TBPROT	顶部或底部相对保护	易失性		1 = 从底部 （低地址）开始执行块保护 0 = 从顶部 （高地址）开始执行 BP
5	BP3	传统块保护易失性	易失性		防止对所选的扇区 （块）范围进行编程或擦除操作。
4	BP2				
3	BP1				
2	BP0				
1	WEL	写使能锁存	易失性只读		0 = 不使能写入，不可执行嵌入式操作； 1 = 使能写入，可执行嵌入式操作 该位不受 WRR 或 WRAR 的影响，但受 WREN、 WRENV、 WRDI 和 CLSR 命令的影响。
0	WIP	正在执行写入操作	易失性只读		1 = 器件处于忙碌状态，正在执行编程或擦除等嵌入式操作 0 = 器件已经处于待机模式，可以接收命令 该位不受 WRR 或 WRAR 的影响，它仅提供 WIP 状态。

状态寄存器保护 0 （SRP0）SR1V[7]：当该位为 1 并且 WP# 输入为低电平时，器件将处于硬件保护模式。在这种模式下，由于这些寄存器都被配置为只读的，所以更改状态寄存器或配置寄存器的所有命令均被忽略，并且不被执行。因此，可有效地锁存状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 位 。如果 WP# 为高电平，便能够更改状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV。如果 SRP0 为 0，WP# 无效，则可能更改状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV。WP# 不会影响任何其他寄存器的写操作。 SRP0 跟踪该位 （SRP0_NV）非易失性版本的更改。当使能 QPI 或 QIO 模式 （CR2V[3] 或 CR1V[1] = 1）时，内部 WP# 信号电平为 1。这是因为使能其中某个模式时， WP# 外部输入将作为 IO2 使用。这样可以有效地关闭硬件保护。这时，寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 被解锁，您可以对这些寄存器进行写操作。请参见第 45 页上的 7.5 状态寄存器保护 （SRP1、 SRP0）节。

TBPROT SR1V[6]：该位定义了状态寄存器中传统模块保护位 BP3、 BP2、 BP1 和 BP0 的参考点。如状态寄存器部分中所述，通过使用 BP3-0 位，用户可以选择保护阵列的某一部分 （1/64、¼、½ 等等）或整个阵列。将 TBPROT 设置为 0 时，传统模块保护被定义为从该阵列的顶部（最大地址）开始。将 TBPROT 设置为 1 时，传统模块保护被定义为从该阵列的底部（0 地址）开始。TBPROT 跟踪该位 （TBPROT_NV）非易失性版本的更改。

传统模块保护（BP3、BP2、BP1、BP0）SR1V[5:2]：这些位定义了防止编程和擦除操作的主闪存阵列区域。第 46 页上的 7.6.1 传统块保护节说明了 BP 位值如何选择受保护的存储器阵列区域。

写使能锁存 （WEL） SR1V[1]：必须将 WEL 位设置为 1，这样才能使能编程、写入或擦除操作，并能够防止对存储器或寄存器值进行意外更改。执行写使能（WREN）命令会将写使能锁存位置 1，这样便能执行后面所有的编程、擦除或写命令。通过写禁用（WRDI）命令，将写使能锁存位置 0，这样可以防止执行编程、擦除和写命令。编程、写入或擦除操作成功后， WEL 位将被清除为 0。如果这些操作失败，WEL 位将保持设置状态，应该使用 CLSR 命令清除它。掉电 / 上电序列、硬件复位或软件复位发生后，写使能锁存位将被设置为 WEL_D。 WRR 或 WRAR 命令不会影响该位的状态。

正在写入 （WIP） SR1V[0]：表示器件是否正在执行编程、写入、擦除或其他操作，器件在这段时间内会忽略新的操作命令。当该位被设置为 1 时，器件会执行一个操作。当 WIP 为 1 时，仅接收读取状态寄存器 （RDSR1、 RDSR2）、读取任何寄存器 （RDAR）、擦除 / 编程暂停 （EPS）、清除状态寄存器 （CLSR）、读取配置寄存器 （RDCR1、RDCR2、RDCR3）和软件复位 （RST 99h 前面的 RSTEN 66h）等命令。只有正在对存储器阵列进行擦除或编程操作时，才能接受 EPS 命令。当 WIP = 1 时，状态寄存器 E_ERR 和 P_ERR 位将被更新。当 P_ERR 或 E_ERR 位为 1 时， WIP 位将保持设置为 1，以表示器件的繁忙状态并且无法接收新的操作命令。必须接收清除状态寄存器 （CLSR）命令，这样可以使器件返回待机模式。将 WIP 位清除为 0 时，表示没有任何操作正在进行。它是一个只读位。

6.6.1.3 易失性状态寄存器 1 （SR1NV） S25FL128L

相关命令：非易失性寄存器的写使能 （WREN 06h）、写禁用 （WRDI 04h）、写入寄存器 （WRR 01h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器 （WRAR 71h）。

表 9. S25FL128L 状态寄存器 1 非易失性 （SR1NV）

位	字段名称	功能	类型	默认状态	说明
7	SRP0_NV	状态寄存器保护 0 默认设置	非易失性	0	为 SRP0 提供默认状态。
6	SEC_NV	扇区 / 块保护	非易失性	0	为 SEC 提供默认状态
5	TBPROT_NV	TBPROT 默认设置	非易失性	0	为 TBPROT 提供默认状态。
4	BP_NV2	传统块保护默认设置	非易失性	000b	为 BP 位提供默认状态。
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL 的默认设置	非易失性只读	0	为 WEL 状态位提供默认状态。用户不能编程该位。
0	WIP_D	WIP 的默认设置	非易失性只读	0	为 WIP 状态位提供默认状态。用户不能编程该位。

状态寄存器保护非易失性位 （SRP0_NV）SR1NV[7]：为 SRP0 提供默认状态。请参考第 45 页上的 7.5 状态寄存器保护 （SRP1、SRP0）节。

扇区 / 块保护位 （SEC_NV） SR1NV[6]：为 SEC 提供默认状态。

顶部或底部保护位 （TBPROT_NV）SR1NV[5]：为 TBPROT 提供默认状态。

传统块保护位 （BP_NV3、 BP_NV2、 BP_NV1、 BP_NV0）SR1NV[4:2]：为 BP_2 到 BP_0 位提供默认状态。

写使能锁存默认 （WEL_D）SR1NV[1]：为 SR1V[1] 中的 WEL 状态提供默认状态。该位由赛普拉斯编程，用户不能编程它。

正在写入的默认位 （WIP_D） SR1NV[0]：为 SR1V[0] 中的 WIP 状态提供默认状态。该位由赛普拉斯编程，用户不能编程它。

6.6.1.4 易失性状态寄存器 1 （SR1V） S25FL128L

相关命令：读取状态寄存器 1 （RDSR1 05h）、易失性寄存器的写使能 （WRENV 50h）、写入寄存器 （WRR 01h）、清除状态寄存器 （CLSR 30h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器 （WRAR 71h）。通过使用 RDSR1 命令可以显示该寄存器。

表 10. S25FL128L 状态寄存器 1 易失性 （SR1V）

位数	字段名称	功能	类型	默认状态	说明
7	SRP0	状态寄存器保护 0	易失性	SR1NV	1 = WP# 为低电平时，通过不执行影响 SR1NV、 SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 的任何命令， 可以锁定 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、 DLRNV 和 DLRV 的当前状态 0 = 即使 WP# 为低电平，也不进行寄存器保护。
6	SEC	扇区 / 块保护	易失性		0 = BP2-BP0 保护 64 kB 块 1 = BP2-BP0 保护 4 kB 扇区
5	TBPROT	顶部或底部相对保护	易失性		1 = 从底部 （低地址）开始执行块保护 0 = 从顶部 （高地址）开始执行块保护
4	BP2	传统块保护易失性	易失性		防止对所选的扇区 （块）范围进行编程或擦除操作。
3	BP1				
2	BP0				
1	WEL	写使能锁存	易失性只读		0 = 不使能写入，不可执行嵌入式操作； 1 = 使能写入，可执行嵌入式操作 该位不受 WRR 或 WRAR 的影响，但受 WREN、 WRENV、WRDI 和 CLSR 命令的影响。
0	WIP	正在执行写入操作	易失性只读		1 = 器件处于忙碌状态，正在执行编程或擦除等嵌入式操作 0 = 器件已经处于待机模式，可以接收命令 该位不受 WRR 或 WRAR 的影响，它仅提供 WIP 状态。

状态寄存器保护 0 （SRP0）SR1V[7]：当该位为 1 并且 WP# 输入为低电平时，器件将处于硬件保护模式。在该模式下，由于这些寄存器均被配置为只读性的，所以更改状态寄存器或配置寄存器的所有命令都被忽略且不被执行。因此，可有效地锁存状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 位 。如果 WP# 为高电平，则可能更改状态寄存器和配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV，并且更改配置寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV。WP# 不对任何其他寄存器的写操作产生影响。SRP0 跟踪该位 （SRP0_NV）非易失性版本的更改。当使能 QPI 或 QIO 模式 （CR2V[3] 或 CR1V[1] = 1）时，内部 WP# 信号电平为 1。这是因为使能其中某个模式时，WP# 外部输入将作为 IO2 使用。这样可以有效地关闭硬件保护。这时，寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 被解锁，您可以对这些寄存器进行写操作。请参见第 45 页上的 7.5 状态寄存器保护 （SRP1、 SRP0）节。

扇区 / 块保护 （SEC）SR1V[6]：该位决定了块保护位 （BP2、BP1、BP0）将保护大小为 4 kB 的扇区 （SEC = “1”）还是大小为 64 kB 的块 （SEC = “0”）。请参考第 46 页上的 7.6.1 传统块保护节，了解 SEC 位值如何选择受保护的存储器阵列区域。

TBPROT SR1V[5]：该位定义了状态寄存器中传统块保护位 BP2、BP1 和 BP0 的参考点。如状态寄存器部分中所述，通过使用 BP2-0 位，用户可以选择保护阵列的某一部分 （1/64、 ¼、 ½ 等等）或整个阵列。将 TBPROT 设置为 0 时，传统模块保护被定义为从该阵列的顶部 （最大地址）开始。将 TBPROT 设置为 1 时，传统模块保护被定义为从该阵列的底部 （0 地址）开始。 TBPROT 跟踪该位 （TBPROT_NV）非易失性版本的更改。

传统块保护位 （BP2、BP1、BP0）SR1V[4:2]：这些位定义了防止编程和擦除操作的主闪存阵列区域。第 46 页上的 7.6.1 传统块保护节说明了 BP 位值如何选择受保护的存储器阵列区域。

写使能锁存 （WEL） SR1V[1]：必须将 WEL 位设置为 1，这样才能使能编程、写入或擦除操作，并能够防止对存储器或寄存器值进行意外更改。执行写使能（WREN）命令会将写使能锁存位置 1，这样便能执行后面所有的编程、擦除或写命令。通过写禁用（WRDI）命令，将写使能锁存位置 0，这样可以防止执行编程、擦除和写命令。编程、写入或擦除操作成功后， WEL 位将被清除为 0。如果这些操作失败，WEL 位将保持设置状态，应该使用 CLSR 命令清除它。掉电 / 上电序列、硬件复位或软件复位发生后，写使能锁存位将被设置为 WEL_D。 WRR 或 WRAR 命令不会影响该位的状态。

正在写入 （WIP） SR1V[0]：表示器件是否正在执行编程、写入、擦除或其他操作，器件在这段时间内会忽略新的操作命令。当该位被设置为 1 时，器件执行一个操作。当 WIP 为 1 时，仅接收读取状态寄存器 （RDSR1、 RDSR2）、读取任何寄存器 （RDAR）、擦

除 / 编程挂起 （EPS）、清除状态寄存器 （CLSR）和软件复位 （RSTEN 66h 后面紧跟着 RST 99h）等命令。只有正在对存储器阵列进行擦除或编程操作时， EPS 命令才被接收。当 WIP = 1 时，状态寄存器 E_ERR 和 P_ERR 位将被更新。当 P_ERR 或 E_ERR 位为 1 时， WIP 位将保持设置为 1，以表示器件的繁忙状态并且无法接收新的操作命令。必须接收清除状态寄存器 （CLSR）命令，这样可以使器件返回待机模式。将 WIP 位清除为 0 时，表示没有任何操作正在进行。这是一个只读位。

6.6.2 状态寄存器 2 易失性 （SR2V）

相关命令：读取状态寄存器 2 （RDSR2 07h）、读取任何寄存器 （RDAR 65h）。状态寄存器 2 中没有用户可编程的非易失性位，它的所有定义位都是易失性只读状态位。这些位的默认状态是由硬件设置的。

表 11. 状态寄存器 2 易失性 （SR2V）

位	字段名称	功能	类型	默认状态	说明
7	RFU	预留		0	预留供将来使用
6	E_ERR	发生了擦除错误	易失性 只读	0	1 = 发生了错误 0 = 无错误
5	P_ERR	发生了编程错误	易失性 只读	0	1 = 发生了错误 0 = 无错误
4	RFU	预留		0	预留供将来使用
3	RFU	预留		0	预留供将来使用
2	RFU	预留		0	预留供将来使用
1	ES	擦除挂起	易失性只读	0	1 = 处于擦除挂起模式。 0 = 未处于擦除挂起模式。
0	PS	编程挂起	易失性只读	0	1 = 处于编程挂起模式。 0 = 未处于编程挂起模式。

擦除错误位（E_ERR）SR2V[6]: 擦除错误位用于指出擦除操作的成功或失败。当擦除错误位被设置为 1 时，则表示最后擦除操作有错误。当用户尝试擦除受保护的单独主存储器扇区或一个被锁定的安全区域时，该位将被设置。如果在执行命令期间找到受保护的扇区时，芯片擦除命令将设置 E_ERR。将擦除错误位设置为 1 时，通过使用清除状态寄存器 （CLSR）命令可以将该位清除为 0。这是一个只读位，它不受 WRR 或 WRAR 命令的影响。

编程错误 （P_ERR） SR2V[5]: 编程错误位用于指出编程操作的成功或失败。将编程错误位设置为 1 时，则表示最后编程操作有错误。当用户尝试对受保护的主存储器扇区或一个被锁定的安全区域进行编程时，该位将被置位。将编程错误位设置为 1 时，通过使用清除状态寄存器 （CLSR）命令可以将该位清除为 0。这是一个只读位，它不受 WRR 或 WRAR 命令的影响。

擦除挂起位（ES）SR2V[1]: 擦除挂起位用于指出器件是否进入擦除挂起模式。用户不能写入该状态位。当擦除挂起位为 1 时，器件将处于擦除挂起模式。当擦除挂起位为 0 时，则器件不处于擦除挂起模式。请参考第 96 页上的 8.6.5 编程或擦除挂起 （PES 75h）节，了解擦除挂起 / 恢复命令的详细内容。

编程挂起（PS）SR2V[0]: 编程挂起位用于指出器件是否处于编程挂起模式。用户不能写入该状态位。当编程挂起位为 1 时，则器件处于编程挂起模式。当编程挂起位为 0 时，则器件不处于编程挂起模式。更多信息，请查阅第 96 页上的 8.6.5 编程或擦除挂起（PES 75h）节。

6.6.3 配置寄存器 1

配置寄存器 1 用于控制某些接口和数据保护功能。通过使用带有十六个输入周期的 WRR 命令或通过使用 WRAR 命令可以更改这些寄存器位。

6.6.3.1 非易失性配置寄存器 1 （CR1NV）

相关命令：非易失性寄存器的写使能 （WREN 06h）、写入寄存器 （WRR 01h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器 （WRAR 71h）。

表 12. 非易失性配置寄存器 1 （CR1NV）

位	字段名称	功能	类型	默认状态	说明
7	SUS_D	挂起状态默认设置	非易失性只读	0	为挂起状态提供默认状态。用户不能编程该位。
6	CMP_NV	补充保护默认设置	非易失性	0	为 CMP 提供默认状态。

表 12. 非易失性配置寄存器 1 （CR1NV）

位	字段名称	功能	类型	默认状态	说明
5	LB3	安全区域锁定位	OTP	0	安全区域 3:0 的 OTP 锁定位 3:0 0 = 安全区域未被锁定 1 = 安全区域永久性被锁定
4	LB2			0	
3	LB1			0	
2	LB0			0	
1	QUAD_NV	四线默认设置	非易失性	0	为 QUAD 提供默认状态。
0	SRP1_D	状态寄存器保护 1 默认设置	OTP	0	当 IRP[2:0] =“111” 时，可以编程 SRP1_D 位。 锁定 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、 CR3NV、 DLRNV 和 DLRV 的当前状态 1 = 寄存器永久锁定 0 = POR 发生后，寄存器不受 SRP1 的保护

挂起擦除 / 编程状态位 （SUS_D）CR1NV[7]：为 CR1V[7] 中的 SUS 位提供默认状态。用户不能编程该位。

补充保护位 （CMP_NV） CR1NV[6]：为 CR1V[6] 中的 CMP 位提供默认状态。

安全区域锁定位（LB3、LB2、LB1、LB0）CR1NV[5:2]：提供安全区域的 OTP 写保护控制。将 LB 位设置为 1 时，将不能对安全区域进行其他编程或擦除操作。

四线数据宽度非易失性位 （QUAD_NV）CR1NV[1]：为 CR1V[1] 中的 QUAD 位提供默认状态。 WRR 或 WRAR 命令会影响该位的状态。 CR1NV[1] = 1 时，在上电或复位时将默认运行四线数据宽的命令。**状态寄存器保护 1 默认位 （SRP1_D）CR1NV[0]：**为 CR1V[0] 中的 SRP1 位提供默认状态。当 IRP[2:0] =“111” 时，用户可以对 SRP1_D OTP 位进行编程。当 SRP1_D =“1” 时，寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 被永久性锁定。请参考第 45 页上的 7.5 状态寄存器保护 （SRP1、 SRP0）节。

6.6.3.2 易失性配置寄存器 1 （CR1V）

相关命令：读取配置寄存器 1 （RDCR1 35h）、易失性的写使能 （WRENV 50h）、写入寄存器 （WRR 01h）、读取任何寄存器（RDAR 65h）、写入任何寄存器 （WRAR 71h）。通过使用 RDCR1 命令可以显示该寄存器。

表 13. 易失性配置寄存器 1 （CR1V）

位	字段名称	功能	类型	默认状态	说明
7	SUS	挂起状态	易失性 只读	CR1NV	1 = 擦除 / 编程挂起 0 = 擦除 / 编程不挂起
6	CMP	补充保护	易失性		0 = 正常保护映射 1 = 转换保护映射
5	LB3	安全区域锁定位的易失性副本	易失性 只读		用户不可写入 请参见 CR1NV[5:2] 安全区域 3:0 的 OTP 锁定位 3:0 0 = 安全区域未被锁定 1 = 安全区域永久性被锁定
4	LB2				
3	LB1				
2	LB0				
1	QUAD	四线 I/O 模式	易失性		1 = 四线 0 = 双线或串行
0	SRP1	状态寄存器保护 1	易失性		锁定 SR1NV、 SR1V、 CR1NV、 CR1V、 CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 的当前状态 1 = 寄存器被锁定 0 = 寄存器未被锁定

挂起状态位（SUS）CR1V[7]：挂起状态位用于指出器件是否进入擦除或编程挂起模式。用户不能写入该状态位。将挂起状态位置为“1”时，器件将进入擦除或编程挂起模式。将挂起状态位清除为“0”时，表示器件不处于擦除或编程挂起模式。请参考第 96 页上的 8.6.5 编程或擦除挂起 （PES 75h）节，了解擦除 / 编程挂起 / 恢复命令的详细信息。**补充保护位 （CMP）CR1V[6]：**CMP 与 TBPROT、BP3、BP2、BP1 和 BP0 位一起被使用，用于为阵列保护映射提供更高的灵活性，这样可以为半个到整个阵列的空间提供保护。

LB[3:0] CR1V[5:2]：这些位是 CR1NV 的相关 OTP 位的易失性复制。它们跟踪相关 OTP 版本的更改。

四线数据宽度 （QUAD）CR1V[1]：设置为 1 时，这些位将器件的数据宽度切换到 4 比特四线模式。当 CS# 为低电平时， WP# 变为 IO2， IO3/RESET# 变为有效的 I/O 信号。当 CS# 为高电平时， IO3/RESET# 变为 RESET# 输入。 WP# 输入不被监控，因此它会正常运行，并且它被内部设置为高电平 （无效）。可以正常执行串行和双线 I/O 读取命令，但在使用不同的数据路径宽度切换各个命令时不用为这些命令驱动 WP# 输入。同样，在执行这些命令期间，不需要驱动 IO3/RESET#（CS# 为低电平）。当使用读取四线输出、读取四线 I/O 和读取 DDR 四线 I/O 命令时，必须将 QUAD 位设置为 1。 QIO 模式的易失性寄存器写操作拥有 （t_{QEN}）时间以将器件接口切换到 QIO 模式和 （t_{QEX}）时间，从而能够将器件切换到 SPI 模式。因此，能以 QIO 协议方式立即发送以下命令。通过 QPIEN 和 QPIEX 命令进入 / 退出 QPI 模式，或将 CR2V[3] 设置为 1 时，将使用四线数据宽度模式 （无论 QUAD 位的状态如何）。

状态寄存器保护 1（SRP1）CR1V[0]：将 SRP1 位设置为 1 时，将通过防止对 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、 DLRNV 和 DLRV 寄存器进行的写操作保护这些寄存器的状态。

请参见第 45 页上的 7.5 状态寄存器保护 （SRP1、 SRP0）节。

如果 SRP1 位保持清除为 0，SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 寄存器不受 SRP1 的保护。然而，这些寄存器可能受 SRP0 （SR1V[7]）和 WP# 输入的保护。

将一个逻辑 1 写入到 SRP1 位后，只能通过断电到上电周期或硬件复位将其清除为逻辑 0。软件复位将不影响到 SRP1 位的状态。

CR1V[0] SRP1 位是易失性的。上电后， SRP1 的默认状态由 CR1NV[0] 中的 SRP1_D 决定。通过使用单个 WRR 或 WRAR 命令可以同时设置 SRP1 位并更新 CR1V 中的其他值。

6.6.4 配置寄存器 2

配置寄存器 2 控制某些接口功能。通过使用读取任何寄存器和写入任何寄存器命令可以读取和更改这些寄存器位。该寄存器的非易失性版本允许为这些控制设置 POR、硬件复位或软件复位状态。在正常操作期间，该寄存器的易失性版本控制着功能状态。

6.6.4.1 非易失性配置寄存器 2 （CR2NV）

相关命令：非易失性寄存器的写使能 （WREN 06h）、写入寄存器 （WRR 01h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器 （WRAR 71h）。

表 14. 非易失性配置寄存器 2 （CR2NV）

位	字段名称	功能	类型	默认状态	说明
7	IO3R_NV	IO3_Reset	非易失性	0	1 = 使能 — 当 CS# 为高电平或四线模式被禁用 （CR1V[1] = 0）或 QPI 被禁用（CR3V[3] = 0）时，IO3_RESET 作为 IO3/RESET# 输入使用 0 = 禁用 — IO3 不具有其他功能，硬件复位被禁用。为 IO3 / RESET# 功能使能提供默认状态。
6	OI_NV	输出阻抗		1	提供默认输出阻抗状态。 请参见第 32 页上的表 15。
5				1	
4	RFU	预留		0	预留供将来使用
3	QPI_NV	QPI		0	1 = 使能 — 使用 QPI （4-4-4）协议 0 = 禁用 — 使用传统 SPI 协议，指令始终在 SI 线上串行传输为 QPI 模式提供默认状态。
2	WPS_NV	写保护选择		0	为 WPS 提供默认状态 0 = 传统保护 1 = 单块锁定
1	ADP_NV	上电时的地址长度		0	为地址长度提供默认状态 1 = 4 字节地址 0 = 3 字节地址
0	RFU	预留		0	预留供将来使用

IO3 _Reset 非易失性位 CR2NV[7]：该位控制 IO3 信号性能的 POR、硬件复位或软件复位状态。由于传统 SPI 器件封装中的信号数量和连接有限，所以几乎所有传统 SPI 器件都没有硬件复位输入信号。当没有将 IO3 信号用于传输主机系统和存储器之间的信息时，FL-L 允许将 IO3 信号作为硬件复位输入使用。通过使用该非易失性 IO3_Reset 配置位，可以立即启动器件，并且 IO3 作为 RESET# 信号使用。

输出阻抗非易失性位 CR2NV[6:5]：这些位控制 IO 信号输出阻抗 （驱动强度）的 POR、硬件复位或软件复位状态。通过多个驱动强度可以使输出阻抗与系统印刷电路板环境相互匹配，从而能够尽量降低过冲和振铃。这些非易失性输出阻抗配置位允许器件使用合适的驱动强度立即启动。

表 15. 输出阻抗控制

CR2NV[6:5] 阻抗选项	对 V_{SS} 的典型阻抗 （W）	对 V_{CC} 的典型阻抗 （W）	注意
00	18	21	
01	26	28	
10	47	45	
11	71	64	工厂默认设置

QPI 非易失性位 CR2NV[3]：该位为所有命令的预期指令宽度控制 POR、硬件复位或软件复位状态。传统 SPI 命令始终在 SI （IO0）信号上以 1 位宽度（串行 I/O）发送指令。FL-L 系列也支持 QPI 模式。在该模式下，主机系统和存储器之间的所有传输在 IO0 到 IO3 上实现，传输宽度为 4 比特，包括所有指令。该非易失性 QPI 配置位允许器件在 QPI 模式下立即启动），而不是在传统串行指令模式下进行。转到 QPI 模式的建议流程是先使用 QPIEN （38h）命令， WRR 或 WRAR 命令也可以将 CR2V[3] 设置为 1 （QPI 模式）。QIO 模式的易失性寄存器写操作拥有 （t_{QEN}）时间，用于将器件接口切换到 QIO 模式和 （t_{QEX}）时间，从而能够将器件切换到 SPI 模式。因此，能以 QPI 协议方式立即发送以下命令。通过使用 WRAR 命令将 CR2NV[3] 编程为 1，然后轮询 SR1V[0]，以确定编程操作是否完成。同样，使用 QPIEX （F5h）命令退出 QPI 模式。也可以使用 WRR 或 WRAR 命令将 CR2V[3] 清除为 0。

写保护选择非易失性 CR2NV[2]：该位控制写保护方法的 POR、硬件复位或软件复位状态。在使能该非易失性配置位的情况下，当器件启动时，将使能单独模块锁存保护 （而不是传统的模块保护）。

上电时的地址长度、非易失性 CR2NV[1]: 该位为所有命令的预期地址长度控制 POR、硬件复位或软件复位状态。这些命令需要地址而且这些地址不被固定为 3 字节或 4 字节地址。多数传统的 SPI 命令需要一个地址，这些命令通常使用 3 字节 （24 位）地址。如果器件容量超过 128 Mb，将需要一个 4 字节 （32 位）地址来访问整个存储器阵列。通过使用地址长度配置位可以将所有 3 字节地址命令更改为所期待的 4 字节地址。请参考第 60 页上的表 41，了解命令地址长度。该非易失性地址长度配置位允许器件在 4 字节地址模式立即启动，而不是在传统的 3 字节地址模式下进行。

6.6.4.2 易失性配置寄存器 2 （CR2V）

相关命令：读取配置寄存器 2 （RDCR2 15h）、读取任何寄存器 （RDAR 65h）、易失性的写使能 （WRENV 50h）、写入寄存器（WRR 01h）、写入任何寄存器 （WRAR 71h）、进入 4 字节地址模式 （4BEN B7h）、退出 4 字节地址模式 （4BEX E9h）、进入 QPI （38h）、退出 QPI （F5h）。通过使用 RDCR2 命令可以显示该寄存器。

表 16. 易失性配置寄存器 2 （CR2V）

位	字段名称	功能	类型	默认状态	说明
7	IO3R	IO3_Reset	易失性	CR2NV	1 = 使能 — 当 CS# 为高电平或四线模式被禁用（CR1V[1] = 0）或 QPI 被禁用（CR3V[3] = 0）时，IO3 作为 RESET# 输入使用。 0 = 禁用 — IO3 没有其他功能，IO3/RESET# 输入的硬件复位功能被禁用。
6	OI	输出阻抗			请参见第 32 页上的表 15。
5					
4	RFU	预留			预留供将来使用
3	QPI	QPI			1 = 使能 — 使用 QPI （4-4-4）协议 0 = 禁用 — 使用传统 SPI 协议，指令始终在 SI 线上串行传输
2	WPS	写保护选择			0 = 传统块保护 1 = 单块锁定
1	ADP	上电时的地址长度	易失性 只读		只读状态位 1 = 4 字节地址 0 = 3 字节地址
0	ADS	地址长度状态	易失性	CR2NV[1]	当前地址模式 1 = 4 字节地址 0 = 3 字节地址

IO3 复位 CR2V[7]：该位控制 IO3/RESET# 信号的状态。当 CS# 为高电平或四线模式 （CR1V[1] = 0）被禁用或 QPI （CR3V[3] = 0）被禁用时，在正常操作期间，通过易失性 IO3 复位配置位，可将 IO3 作为 RESET# 输入使用。

输出阻抗位 CR2V[6:5]：这些位控制 IO 信号输出阻抗 （驱动强度）。通过使用该易失性输出阻抗配置位，用户可以在正常操作期间调整驱动强度。

QPI CR2V[3]：该位控制所有命令的预期指令宽度。通过使用易失性 QPI 配置位，在正常操作期间，器件可以进入和退出 QPI 模式。将该位设置为 QPI 模式时，四线模式将有效，无论 QIO 模式 （CR1V[1]）的设置如何。将该位清除为传统的 SPI 模式时， QUAD 位不受影响。通过使用 QPIEN （38h）命令可以将 QPI CR2V[3] 位设置为 1，通过使用 QPIEX （F5h）命令可以将其设置为 0。

表 17. QPI 和 QIO 模式控制位

QPI CR2V[3]	QUAD CR1V[1]	说明
0	0	SIO模式：单线和双线读取，WP#/IO2输入作为WP#引脚使用，IO3/RESET#输入作为RESET#引脚使用
0	1	QIO 模式：单线、双线和四线读取，WP#/IO2 输入作为 IO2 使用，IO3/RESET# 输入作为 IO3 或 RESET# 引脚使用
1	X	QPI 模式：四线读取， WP#/IO2 输入作为 IO2 使用， IO3/RESET# 输入作为 IO3 或 RESET# 引脚使用

写保护选择位 CR2V[2]：通过该位可以选择阵列保护方法；请参阅第 46 页上的 7.6.1 传统块保护节或第 51 页上的 7.6.2 单块锁定（IBL）保护节。通过易失性配置位，用户可以在正常操作期间更改保护方法。

上电 （ADP）CR2V[1] 时的地址长度：该位为只读位，它显示了上电复位、硬件复位或软件复位后所有命令的地址长度。这些命令需要地址，并且这些地址不被固定为 3 字节或 4 字节地址。

地址长度状态 （ADS）CR2V[0]：该位控制所有命令的预期地址长度。这些命令需要地址，这些地址不被固定为 3 字节或 4 字节地址。请参考第 60 页上的表 41，了解命令地址长度。通过易失性地址长度配置位，用户可以在正常操作期间更改地址的长度。 4 字节地址模式（4BEN）命令直接将该位设置为 4 字节地址模式，（4BEX）退出命令将该位设置回 3 字节地址模式。更新地址长度非易失性 CR2NV[1] 位时，该位也被更新。

6.6.5 配置寄存器 3

配置寄存器 3 控制着主闪存阵列读命令的连续回卷状态和读取延迟。连续回卷配置不会影响读取非主闪存阵列的区域的命令，如：读取寄存器或安全区域的命令。由于在 POR、硬件复位或软件复位期间寄存器的内容被复制到寄存器的易失性版本内，因此该寄存器的非易失性版本允许设置该控制操作的启动状态。正常操作期间，该寄存器的易失性版本控制功能的性能。

通过使用读取配置 3 （RDCR3 33h）、写入寄存器（WRR 01h）、读取任何寄存器（RDAR 65h）、写入任何寄存器（WRAR 71h）命令可以对这些寄存器位进行读取和更改操作。通过使用设置连续长度 （77h）命令也可以写入该寄存器的易失性版本。

6.6.5.1 非易失性配置寄存器 3 （CR3NV）

相关命令：非易失性寄存器的写使能 （WREN 06h）、写入寄存器 （WRR 01h）、读取任何寄存器 （RDAR 65h）、写入任何寄存器（WRAR 71h）。

表 19. 非易失性配置寄存器 3 （CR3NV）

位	字段名称	功能	类型	默认状态	说明
7	RFU	预留	非易失性	0	预留供将来使用
6	WL_NV	回卷长度默认设置		1	00 = 8 字节回卷 01 = 16 字节回卷 10 = 32 字节回卷 11 = 64 字节回卷
5				1	
4	WE_NV	回卷使能默认设置		1	0 = 回卷使能 1 = 回卷禁用
3	RL_NV	读取延迟默认设置		1	0 到 15 个延迟 （虚拟）周期 （随后读地址或连续模式位）。
2				0	
1				0	
0				0	

回卷长度非易失性位 CR3NV[6:5]：这些位控制着回卷读取长度和对齐的 POR、硬件复位或软件复位状态。

回卷使能非易失性位 CR3NV[4]：该位控制着回卷使能的 POR、硬件复位或软件复位状态。受回卷使能影响的命令包括：读取四线 I/O、读取 QPI、读取 DDR 四线 I/O 和读取 DDR QPI。该配置位允许器件在回卷突发 （wrapped burst）读取模式下立即启动，而不是在传统的连续读取模式下进行。

读取延迟非易失性 CR3NV[3:0]：这些位控制着所有可变延迟读取命令中读取延迟 （虚拟周期）的 POR、硬件复位或软件复位状态。以下读取命令在地址或模式的结束和读取数据开始返回到主机之间有一个可变的延迟周期：

- 对于以下命令，所有时钟频率的延迟均为一个虚拟周期。如果默认延迟代码为 0，该延迟为一个虚拟周期。
  - 数据学习模式读取 DLPRD （1-1-1）或 （4-4-4）
  - IRP 读取 IRPRD （1-1-1）或 （4-4-4）
  - 保护寄存器读取 PRRD （1-1-1）或 （4-4-4）
  - 密码读取 PASSRD （1-1-1）或 （4-4-4）
- 命令的延迟 / 时钟频率如表 20 和表 21 所示。如果默认延迟代码为 0，该延迟为 8 个虚拟周期。
  - 快速读取 FAST_READ （1-1-1）
  - 四线 O 读取 QOR、 4QOR （1-1-4）
  - 双线 O 读取 DOR、 4DOR （1-1-2）
  - 双线 I/O 读取 DIOR、 4DIOR （1-2-2）
  - 四线 I/O 读取 QIOR、 4QIOR （1-4-4）或 （4-4-4）
  - DDR 四线 I/O 读取 DDRQIOR、 4DDRQIOR （1-4-4）
  - 安全区域读取 SECRR （1-1-1）或 （4-4-4）
  - 读取任何寄存器 RDAR （1-1-1）或 （4-4-4）
  - 读取串行闪存可发现参数 RSFDP （1-1-1）或 （4-4-4）

非易失性读延迟配置位设置需要使用的读延迟 （虚拟周期）数量，因此可以使用主机系统的合适读延迟立即启动器件

表 20. 延迟代码 （周期）与频率

延迟代码 0	读取命令最大频率 （MHz）						
	快速读取 （1-1-1）	双线输出读取 （1-1-2）	双线 I/O 读取 （1-2-2）	四线输出读取 （1-1-4）	四线 I/O 读取 （1-4-4）	四线 I/O 读取 QPI （4-4-4）	DDR 四线 I/O （1-4-4） QPI （4-4-4）
	模式周期 = 0	模式周期 = 0	模式周期 = 4	模式周期 = 0	模式周期 = 2	模式周期 = 2	模式周期 = 1
	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8
1	50	50	75	35	35	35	20
2	65	65	85	45	45	45	25
3	75	75	95	55	55	55	35
4	85	85	108	65	65	65	45
5	95	95	108	75	75	75	55
6	108	105	108	85	85	85	60
7	108	108	133	95	95	95	66
8	108	108	133	108	108	108	66
9	133	133	133	115	115	115	66
10	133	133	133	115	115	115	66
11	133	133	133	120	120	120	66
12	133	133	133	120	120	120	66
13	133	133	133	133	133	133	66
14	133	133	133	133	133	133	66
15	133	133	133	133	133	133	66

表 21. 延迟代码 （周期）与频率

延迟代码 0	读取命令的最大频率 （MHz）					
	读取任何寄存器 （1-1-1）	读取任何寄存器 QPI （4-4-4）	安全区域读取 （1-1-1）	安全区域读取 QPI （4-4-4）	读取 SFDP RSFDP （1-1-1）	读取 SFDP RSFDP QPI （4-4-4）
	模式周期 = 0	模式周期 = 0	模式周期 = 0	模式周期 = 0	模式周期 = 0	模式周期 = 0
	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8	虚拟周期 = 8
1	50	15	50	15	50	15
2	65	25	65	25	65	25
3	75	35	75	35	75	35
4	85	45	85	45	85	45
5	95	55	95	55	95	55
6	108	65	108	65	108	65
7	108	75	108	75	108	75
8	108	85	108	85	108	85
9	133	95	133	95	133	95
10	133	108	133	108	133	108
11	133	115	133	115	133	115
12	133	115	133	115	133	115
13	133	120	133	120	133	120
14	133	120	133	120	133	120
15	133	133	133	133	133	133

注意：

1. *SCK 频率 > 133 MHz SDR，或 66MHz DDR 不受该器件系列的支持。*
2. *双线 I/O、四线 I/O、QPI、DDR 四线 I/O 和 DDR QPI 命令协议包括位于地址后面的连续读取模式位。这些位的时钟周期不计入下表中的延迟周期。例如：传统的四线 I/O 命令中，地址后面是两个连续读取模式周期。因此，对于无其他读取延迟的传统四线 I/O 命令，受支持的频率如下表所示 （读取延迟为 0）。通过递增可变读取延迟，可增大四线 I/O 命令的频率，从而允许执行受支持的最大 133 MHz 频率和 QPI 受支持的最大 133 MHz 频率的操作。*
3. *其他命令具有固定的延迟。例如，读取始终有 0 读取延迟，读取唯一 ID 具有 32 个虚拟周期，从深度掉电释放则具有 24 个虚拟周期。*

6.6.5.2 易失性配置寄存器 3 （CR3V）

相关命令：读取配置 3 （RDCR3 33h）、易失性寄存器的写入使能 （WRENV 50h）、写入寄存器 （WRR 01h）、读取任何寄存器（RDAR 65h）、写入任何寄存器 （WRAR 71h）、设置突发长度 （SBL 77h）。通过使用 RDCR3 命令可以显示该寄存器。

表 22. 易失性配置寄存器 3 （CR3V）

位	字段名称	功能	类型	默认状态	说明
7	RFU	预留	易失性	CR3NV	预留供将来使用
6	WL	回卷长度			00 = 8 字节回卷 01 = 16 字节回卷 10 = 32 字节回卷 11 = 64 字节回卷
5					
4	WE	回卷使能			0 = 回卷使能 1 = 回卷禁用
3	RL	读延迟			0到15个延迟（虚拟）周期（随后读地址或连续模式位）
2					
1					
0					

回卷长度 CR3V[6:5]：在正常操作期间，这些位控制着回卷读取长度和对齐。通过使用这些易失性配置位，用户可以在正常操作期间调整连续回卷读取长度。

回卷使能 CR3V[4]：这些位控制着连续回卷功能。通过使用该易失性配置位，在正常操作期间，器件可以进入和退出回卷突发读取模式。

CR3V[4] = 1 时，回卷模式被禁用，而且可以连续读取无限长度的数据。

CR3V[4] = 0 时，回卷模式被使能，只能从读取命令提供的字节地址开始读取固定长度并且对齐的 8、 16、 32 或 64 字节组，直到该字节组边界便再次回卷。

读延迟 CR3V[3:0]：这些位用于设置可变延迟读取命令中的读延迟 （虚拟周期）。通过这些易失性配置位，用户可以在正常操作期间调整读取延迟，从而按需要优化不同命令的延迟或不同频率的延迟。

6.6.6 单独和区域保护寄存器 （IRP）

相关命令：IRP 读取（IRPRD 2Bh）和 IRP 编程（IRPP 2Fh）、读取任意寄存器（RDAR 65h）、写入任意寄存器 （WRAR 71h）。

IRP 寄存器指的是一个 16 位的 OTP 存储位置，用于永久性配置单独和区域保护 （IRP）特性的状态。 IRP 中没有用户可编程的易失性位，它的所有定义位都是 OTP （一次性编程）。

各 IRP 位的默认状态是由赛普拉斯编程的。

表 23. IRP 寄存器 （IRP）

位	字段名称	功能	类型	默认状态	说明
15 到 7	RFU	预留	OTP	所有位为 1	预留供将来使用
6	SECRRP	安全区域 3 读取密码模式使能位	OTP	1	0 = 选择安全区域 3 读取密码模式 1 = 不选择安全区域 3 读取密码模式 如果 IRP[2:0]=“111”，则可编程 IRP[6]
5	RFU	预留	OTP	1	预留供将来使用
4	IBLLBB	IBL 锁定启动位	OTP	1	0 = 所有单独 IBL 位在上电时均处于不受保护状态，并被设为“1” 1 = 所有的单独 IBL 位在上电时均处于受保护状态，并被设为“0” 如果 IRP[2:0] =“111”，可编程 IRP[4]
3	RFU	预留	OTP	1	预留供将来使用
2	PWDMLB	密码保护模式锁定位	OTP	1	0 = 密码保护模式永久被使能。 1 = 密码保护模式并非永久被使能。 如果 IRP[2:0] = “111”，则可编程 IRP[2]
1	PSLMLB	电源锁定保护模式锁定位	OTP	1	0 = 电源锁定保护模式被永久使能。 1 = 电源锁定保护模式没有被永久使能。 如果 IRP[2:0] =“111”，则可编程 IRP[1]
0	PERMLB	永久保护锁定位	OTP	1	0 = 永久保护模式被永久性使能。 1 = 永久保护模式未被永久性使能。 如果 IRP[2:0] =“111”，则可编程 IRP[0]

安全区域读取密码模式使能 （SECRRP） IRP[6]：写入数值 0 时， SECRRP 会使能安全区域 3 读取密码模式，而且 PWDMLB 位 IRP[2] 将同时或稍后被编程。仅在 IRP[2:0] = 111 时，才能对 SECRRP 位进行编程；否则，编程操作会失败，并且 P_ERR 的值被设置为 1。请参考第 57 页上的 7.7.4 安全区域读取密码保护节。

IBL 锁定启动位 （IBLLBB） IRP[4]：默认状态下，它的值为 1 ；在上电、硬件复位或软件复位后的保护状态，所有单独的 IBL 位均被设置为 0 。要想编程或擦除该阵列，必须在执行编程或擦除命令前先发送全局 IBL 解锁或扇区 / 块 IBL 解锁命令。所有单独的 IBL 位被编程为 0 时，在上电、硬件复位或软件复位后，各个扇区都进入不受保护状态。仅在 IRP[2:0] = “111” 时，才能对 IBLLBB 位进行编程；否则，编程操作失败，并且 P_ERR 的值被设置为 1。请参见第 51 页上的 7.6.2 单块锁定 （IBL） 保护节。

密码保护模式锁定位（PWDMLB）IRP[2]：该位被设置为 0 时，将永久地选中密码保护模式，以保护安全区域 2、3 和指针区域。仅在 IRP[2:0] =“111” 时，才能对 PWDMLB 位进行编程；否则，编程操作失败，并且 P_ERR 的值被设置为 1。请参考第 56 页上的 7.7.3 密码保护模式节。

在通过设置 IRP[2] = 0 选中密码保护模式后，所有 IRP 位将被锁定，并永久地禁止对其进行的任意编程。尝试对任意 IRP 位进行编程会导致编程错误，并且 P_ERR 的值被设置为 1。

设置密码模式 （IRP[2] = 0）之前，必须提前对密码进行编程和验证。

电源锁定保护模式锁定位 （PSLMLB） IRP[1]：该位被设置为 0 时，会永久地选中电源锁定保护模式。仅在 IRP[2:0] =“111” 时，才能对 PSLMLB 位进行编程；否则，编程操作会失败，并且 P_ERR 的值被设置为 1。

在通过设置 IRP[1] = 0 选中电源锁定保护模式后，所有 IRP 位将被锁定，并永久地禁止对其进行的任意编程。尝试对任意 IRP 位进行编程会导致编程错误，并且 P_ERR 的值被设置为 1。请参见第 55 页上的 7.7.1 IRP 寄存器节。

永久性保护锁定位 （PERMLB） IRP[0]：该位被设置为 0 时，将一直保护指针区域和安全区域 2 和 3。它向指针区域和安全区域 2、3 提供的永久性的保护方式更为简单 （无需使用密码或 PRL 命令）。请参见第 55 页上的 7.7.1 IRP 寄存器节。

PWDMLB （IRP[2]）、PSLMLB （IRP[1]）和 PERMLB （IRP[0]）之间是相互排除的，其中只能有一位被设置为 0。仅在 IRP[2:0] = 111 时，才能对各个 IRP 位进行编程。当 IRP[2:0] 的值不等于 “111” 时，尝试对 IRP 位进行编程会导致编程错误，并且 P_ERR 的值被设置为 1。在系统配置期间，应一直选中 IRP 保护模式，这样可以确保恶意程序以后不会选中不希望的保护模式。在通过 IRP 模式选择来锁定所有保护配置后，恶意程序将无法对保护模式进行任意更改。

6.6.7 密码寄存器 （PASS）

相关命令：密码读取 （PASSRD E7h） 、密码编程 （PASSP E8h） 、读取任意寄存器 （RDAR 65h） 、写入任意寄存器 （WRAR 71h）。 PASS （密码）寄存器指的是 64 位的 OTP 存储位置，该寄存器用于永久性定义单独和区域保护 （IRP）特性的密码。 PASS 寄存器中没有用户可编程的易失性位，它的所有定义位都是 OTP。可以使用 PASS 的一个易失性副本来满足读取延迟的要求，但该易失性寄存器并不是用户可写的空间或者没有详细的说明。将 IRP[2] 设置为 0 后，不能读取或编程密码。请参见第 39 页上的表 23。

表 24. 密码寄存器 （PASS）

位	字段名称	功能	类型	默认状态	说明
63：0	PWD	隐藏密码	OTP	FFFFFFFF-FFFFFFFFh	64 位密码的非易失性 OTP 存储。通过将 IRP 寄存器位 2 设为 0 选择密码保护模式后，密码将不再可读。

6.6.8 保护寄存器 （PR）

相关命令：保护寄存器读取 （PRRD A7h）、保护寄存器锁定 （PRL A6h）、读取任意寄存器 （RDAR 65h）。

PR 中没有用户可编程的非易失性位，它的所有定义位都是易失性只读状态位。 RFU 位的默认状态是由硬件设置的。 PR 寄存器没有非易失性版本。

NVLOCK 位用于保护安全区域 2、 3 和指针区域。当 NVLOCK[0] = 0 时，不能对安全区域 2、 3 和指针区域进行任何更改。

表 25. 保护状态寄存器 （PR）

位	字段名称	功能	类型	默认状态	说明
7	RFU	预留	易失性只读	00h	预留供将来使用
6	SECRRP	安全区域读取密码		IRP[6]	0 = 当 NVLOCK = 0 时，安全区域 3 受密码保护，不能对其执行读取操作 1 = 安全区域 3 不受密码保护，可以对其进行读取操作
5	RFU	预留		0	预留供将来使用
4	RFU	预留		0	预留供将来使用
3	RFU	预留		0	预留供将来使用
2	RFU	预留		0	预留供将来使用
1	RFU	预留		0	预留供将来使用
0	NVLOCK	保护非易失性配置		IRP[2] 和 IRP[0]	0 = 安全区域 2 和 3 以及指针区域受保护，不能对其进行写入操作 1 = 可以对安全区域2和3以及指针区域进行写入操作[10]。

注释：
10. 保护寄存器锁定 （PRL）命令将 NVLOCK 的值设置为 1。

6.6.9 单块锁定访问寄存器 （IBLAR）

相关命令：IBL 读取（IBLRD 3Dh 或 4IBLRD E0h）、IBL 锁定（IBL 36h 或 4IBL E1h）、IBL 解锁（IBLUL 39h 或 4IBUL E2h）、全局 IBL 锁定 （GBL 7Eh）、全局 IBL 解锁 （GBUL 98h）。

IBLAR 中没有用户可编程的非易失性位，这些位是 IBL 阵列中易失性位的副本。IBL 阵列的默认状态是由硬件设置的。IBLAR 寄存器没有非易失性版本。

表 26. IBL 访问寄存器 （IBLAR）

位	字段名称	功能	类型	默认状态	说明
7 到 0	IBL	对单独扇区 / 块的 IBL 进行读取 / 写入操作	易失性	如果 IRP[4] = 1，为 00h 否则，为 FFh	00h = IBL、4IBL 和 GBL 命令将所寻址的扇区 / 块的 IBL 设置为 “0”，这样便不能对扇区进行编程或擦除操作。 FFh = 通过 IBUL、 4IBUL 和 GBUL 命令将所寻址的扇区 / 块的 IBL 设置为 “1”，这样能够对扇区进行编程或擦除操作。

注释：
11. 请参见第 51 页上的图 25，*单块锁定 / 指针区域保护控制*。
12. 可以使用 IBLRD 和 4IBLRD 命令读取 IBL 位的值。

6.6.10 指针区域保护寄存器 （PRPR）

相关命令：设置指针区域保护 （SPRP FBh 或 4SPRP E3h）、读取任意寄存器 （RDAR 65h）、写入任意寄存器 （WRAR 71h）。

PRPR 包含用户可编程的非易失性位。PRPR 位的默认状态是由硬件设置的。PRPR 寄存器没有易失性版本。更多有关信息，请参见第 52 页上的 7.6.3 指针区域保护 （PRP）节。

表 27. PRP 寄存器 （PRPR）

位	字段名称	功能	类型	默认状态	说明
A31 到 A25	RFU	预留	非易失性	11111111b	预留供将来使用
A24	PRPAD	PRP 地址		1	指针地址 在 S25FL256L 中为 A24 在 S25FL128L 中为预留供将来使用的位
A23 到 A16				FFh	指针地址 A23 到 A16
A15 到 A12				Fh	指针地址 A15 到 A12
A11	PRPALL	PRP 保护所有扇区		1	0 = 保护指针区域中的所选扇区 1 = 保护所有扇区
A10	PRPEN	PRP 使能		1	0 = 使能指针区域保护 1 = 禁用指针区域保护
A9	PRPTB	PRP 顶部 / 底部		1	0 = 指针区域保护从顶部开始 （高地址） 1 = 指针区域保护从底部开始 （低地址）
A8	RFU	预留		1	预留供将来使用
A7 到 A0	RFU	预留		FFh	预留供将来使用

6.6.11 DDR 数据学习寄存器

相关命令：编程 DLRNV （PDLRNV 43h）、写入 DLRV （WDLRV 4Ah）、读取数据学习模式 （DLPRD 41h）、读取任意寄存器（RDAR 65h）、写入任意寄存器 （WRAR 71h）。

数据学习模式 （DLP）位于一个 8 位非易失性数据学习寄存器 （DLRNV）和一个 8 位易失性数据学习寄存 （DLRV）内。从赛普拉斯出厂时，DLRNV 的默认值为 00h。一旦对 DLRNV 进行了编程，便不能重新编程或擦除它； DLRNV 中数据模式的副本也会被写入到 DLRV 内。随时可以对 DLRV 进行写操作，但进行硬件和软件复位或关闭后再打开电源时，数据模式将返回到它在 DLRNV 中的状态。在执行 SPI DDR 模式中所描述的学习阶段内， DLP 被存储处在 DLRV 内。在每个时钟边沿上，各个 IO 都输出相同的 DLP 值。例如：如果 DLP 为 34h （或二进制 00110100），那么在第一个时钟边沿上，所有 IO 都输出数值 0 ；然后在第二个时钟边沿上，所有 IO 都输出数值 0，在第三个时钟边沿上都输出数值 1，并以此类推。

DLRV 的值为 “00h” 时， DDR 命令中的虚拟阶段不会显示前导码数据模式。

表 28. 非易失性数据学习寄存器 （DLRNV）

位	字段名称	功能	类型	默认状态	说明
7:0	NVDLP	非易失性数据学习模式	OTP	00h	在 DDR 读取命令延迟（虚拟）周期中传输到主机的 OTP 值，用以为主机提供一个培训模式，从而准确地确定所收数据位中的中心点。

表 29. 易失性数据学习寄存器 （DLRV）

位	字段名称	功能	类型	默认状态	说明
7:0	VDLP	易失性数据学习模式	易失性	在 POR 或复位期间提取 DLRNV 的值	NVDLP 的易失性副本，用于使能并将数据学习模式 （DLP）传送到输出端。系统操作期间，主机可以修改 VDLP。

7. 数据保护

7.1 安全区域

该器件有一个独立于主闪存阵列的 1024 字节的地址空间。该空间分为四个独立的长度为 256 字节的可锁定区域。请参见第 24 页上的 6.5 安全区域地址空间节。

安全区域存储器空间用于增强系统安全性。可以使用各个数据值将闪存组件与系统 CPU/ASIC “ 配对 ” 起来，用于防止设备替换。安全区域地址空间是由安全区域锁定位或保护寄存器中的 NVLOCK 位 （PR[0]）保护。请参见第 43 页上的 7.1.4 安全区域锁定位（LB3、 LB2、 LB1、 LB0）节。

7.1.1 读取安全区域存储器空间。

安全区域读取命令 （SECRR）使用与快速读取命令使用了相同的协议。超过安全区域地址有效范围 （1024 字节）的任意读取操作会导致不正确的数据。请参见第 100 页上的 8.7.3 安全区域读取 （SECRR 48h）节。

当 NVLOCK = 0 时，通过进行以下设置：PWDMLB 位 IRP[2] = 0 和 SECRRP 位 IRP[6] = 0，可使安全区域 3 进入密码保护模式，禁止发生读取操作。

7.1.2 编程安全区域

安全区域编程命令 （SECRP）与页编程命令使用相同的协议。请参见第 100 页上的 8.7.2 安全区域编程 （SECRP 42h）节。

第 24 页上的表 6 中显示的是安全区域编程的有效地址范围。超出该有效地址范围的任意安全区域编程操作都会被忽略，并且 SR2V[5] 中的 P_ERR 不被设置为 1。

通过将 PWDMLB 位 IRP[2] 设置为 0，可将安全区域 2 和 3 进入密码保护模式，并禁止编程操作。

7.1.3 擦除安全区域

安全区域擦除命令 （SECRE）与扇区擦除命令使用相同的协议。请参见第 100 页上的 8.7.1 安全区域擦除 （SECRE 44h）节。

第 24 页上的表 6 中显示的是安全区域擦除的有效地址范围。超出该有效址范围的任意安全区域编擦除操作将被忽略，并且 SR2V 中的 E_ERR 不被设置为 1。

通过将 PWDMLB 位 IRP[2] 设置为 0，可使安全区域 2 和 3 进入密码保护模式，并禁止发生擦除操作。

7.1.4 安全区域锁定位 （LB3、 LB2、 LB1、 LB0）

安全区域锁定位 （LB3、 LB2、 LB1、 LB0）是配置寄存器 1 （CR1NV[5:2]）中非易失性的一次性编程位，用于控制各安全区域的写保护功能，并显示其状态。安全区域 0 至 3 的默认状态为解锁。通过使用写入状态寄存器命令或写入任意寄存器命令，可单独将 LB[3:0] 的值设置为 1。 LB[3:0] 是一次性可编程 （OTP）位。一旦被设置为 1，其相应的 256 字节安全区域将永久性变成 “ 只读 ” 空间。

7.2 深度掉电

深度掉电 （DPD）命令能够提供另一种数据保护方式，即所有命令 （退出深度掉电模式 （RES ABh）命令和硬件复位除外）在深度掉电 （DPD）模式下均被忽略，因此，它会禁止所有编程或擦除操作。

7.3 写入使能命令

7.3.1 写入使能 （WREN）

执行用于修改非易失性数据的任意命令前，先要写好写入使能 （WREN）命令。 WREN 命令用于设置写入使能锁存 （WEL）位。执行上电、硬件和软件复位期间或在完成下面命令后， WEL 位将被清零 （禁用写操作）：

- 复位
- 页编程 （PP 或 4PP）
- 四线页编程 （QPP 或 4QPP）
- 扇区擦除 （SE 或 4SE）
- 半块擦除 （HBE 或 4HBE）
- 块擦除 （BE 或 4BE）
- 芯片擦除 （CE）
- 写入禁用 （WRDI）
- 写入寄存器 （WRR）
- 写入任意寄存器 （WRAR）
- 安全区域擦除 （SECRE）
- 安全区域字节编程 （SECRP）
- 单独和区域保护寄存器编程 （IRPP）
- 密码编程 （PASSP）
- 清除状态寄存器 （CLSR）
- 设置指针区域保护 （SPRP 或 4SPRP）
- 编程非易失性数据学习寄存器 （PDLRNV）
- 写入易失性数据学习寄存器 （WDLRV）
- 易失性寄存器的写入使能 （WRENV）

执行用于修改易失性寄存器数据的任意写入寄存器 （WRR）命令之前，先要编写好写入使能易失性 （WRENV）命令。

7.4 写入保护信号

当不处于四线模式 （CR1V[1] = 0）或 QPI 模式 （CR2V[3] = 0）时，写入保护 （WP#）输入和状态寄存器保护 0 （SRP0）位（SR1NV[7]）一起提供由硬件输入信号控制的保护。当 WP# 为低电平和 SRP0 的值为 1 时，状态寄存器 1 （SR1NV 和 SR1V）、配置寄存器（CR1NV、CR1V、CR2NV、CR2V、CR3NV 和 CR3V）以及 DDR 数据学习寄存器（DLRNV 和 DLRV）的状态不会发生改变。这样会防止禁用或更改由传统的块保护位或安全区域锁定位指定的保护。请参见第 25 页上的 6.6.1 状态寄存器 1 节。

7.5 状态寄存器保护 （SRP1、 SRP0）

配置寄存器和状态寄存器 （CR1V[0] 和 SR1V[7]）中的状态寄存器保护位 （SRP1 和 SRP0）都是易失性的。 SRP 位规定 SR1NV、 SR1V、 CR1NV、 CR1V、 CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 的写保护方式：软件保护、硬件保护或电源锁定保护

表 31. 状态寄存器保护位 （高安全性）

SRP1_D CR1NV[0]	SRP1 CR1V[0]	SRP0 SR1V[7]	WP#	状态寄存器	说明
0	0	0	X	软件保护	WP# 引脚没有任何控制。可以对 SR1NV、 SR1V、 CR1NV、 CR1V、 CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 进行写操作。（工厂默认设置）
0	0	1	0	硬件保护	当 WP# 引脚为低电平时， SR1NV、 SR1V、 CR1NV、 CR1V、 CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 被锁定，不能对它们进行写操作 [13, 16]。
0	0	1	1	无硬件保护	当 WP# 引脚为高电平时， SR1NV、 SR1V、 CR1NV、 CR1V、 CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 均被解锁，可以对它们执行写操作 [13]。
0	1	X	X	电源锁定	SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 受保护，不能对它们进行写操作，直到下一个掉电和上电周期到来为止 [14]。
1	1	X	X	一次性编程	当SRP1_D CR1NV[0] = 1时，SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 均永久性受保护，不能对它们进行写操作 [15]。

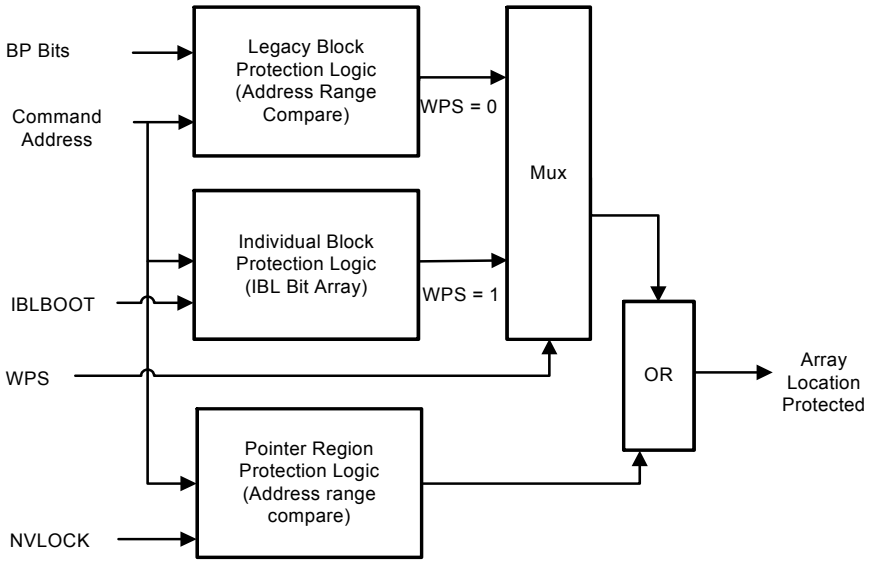
注释：

13. 在掉电、上电周期、软件或硬件复位发生后， SRP0 的值是从 SRP0_NV （SR1NV[7]）中被重新加载的。上电时，若想要使用 WP# 引脚使能硬件保护模式，需要将 SRP0_NV 位设置为 1。
14. 当 SRP1 = 1 时，如果发生掉电、上电周期或硬件复位事件， SRP1 的值会变为 0 （因为该位是从 SRP1_D 中重新加载的）。
15. 只有在 IRP[2:0] = 111 时，才能写入 SRP1_D。SRP1_D CR1NV[0] = 1 时，掉电、上电周期或硬件复位事件会从 SRP1_D 中将 SRP1 位重新加载为 1。由于易失性位 SRP1 是不可写位，因此它会提供 OTP 保护功能。当 SRP1_D 的值被设置为 1 时，应将 SRP0_NV 设置为 1，以表示正在使用 OTP 保护。
16. 使能 QPI 或 QIO 模式（CR2V[3] 或 CR1V[1] = 1）时，内部 WP# 信号为 1。这是因为当使能其中任意一种模式时，WP# 外部输入都将作为 IO2 使用。当 SRP1-SRP0 = 01b 时，可有效关闭硬件保护功能。这时，寄存器 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 被解锁，您可以对这些寄存器进行写操作。
17. WIP、 WE 和 SUS （SR1[1:0] 和 CR1[7]）是易失性的只读状态位，它们一直不受写入状态寄存器命令的影响。
18. 受 SRP 位和 WP# 保护时，将不能向 SR1NV、 CR1NV、 CR2NV 和 CR3NV 的非易失性版本执行写操作 （如上表中所示）。如果在执行写入状态寄存器 （01h）命令或写入任意寄存器 （71h）命令之前先执行写入使能 （06h）命令，将选用这些状态寄存器位的非易失性版本来执行写操作。
19. 在受 SRP 位和 WP# 保护时，将不能向 SR1V、 CR1V 和 CR2V 的易失性版本执行写操作 （如上表中所示）。如果在执行写入状态寄存器 （01h）命令前先执行写入使能易失性状态寄存器 （50h）命令，或在执行写入任意寄存器 （71h）命令前先执行写入使能 （06h）命令，那么会选择这些状态寄存器位的易失性版本来执行写操作。
20. 易失性 CR3V 位不受 SRP 位的保护，并且在执行写入状态寄存器 （01h）命令前，可通过易失性寄存器的写入使能 （50h）命令随时写入这些位。另外，还可以使用 WRAR （71h）或 SBL （77h）命令对 CR3V 寄存器中的位执行写操作。
21. 在执行系统上电和启动代码期间：通过可靠的启动代码能够判定是否需要修改以下寄存器的值：SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV 和 DLRV 的值。不需要进行任何更改时，可以将 SRP1 位 （CR1V[0]）的值设置为 1，以确保系统在上电时保持正常操作期间， SR1NV、 SR1V、 CR1NV、 CR1V、 CR2NV、 CR2V、 CR3NV、 DLRNV 和 DLRV 寄存器能够维持其状态。

7.6 阵列保护

存储器阵列保护分成三种类型：传统块 （LBP）、单块锁定 （IBL）和指针区域 （PRP）。用户可以使用写保护选择 （WPS）位来使能下面两种保护机制中的一种：传统块 （LBP）保护 （WPS CR2V[2] = 0）或单块锁定 （IBL）保护 （WPS CR2V[2] = 1）。请参见第 33 页上的 6.6.4.2 易失性配置寄存器 2 （CR2V）节。一次只能使能一种保护机制。传统块保护是默认的保护机制，它与 IBL 保护方案相互独立。通过执行设置指针区域保护命令使用 WRAR 命令将 A10 的值设置为 0，可以使能指针区域保护。请参考第 107 页上的 8.9 指针区域命令节。被使能时，指针区域保护会与传统块保护或单块锁定保护进行 OR 逻辑运算 。

图 24. LBP、 IBL 和 PRP 阵列保护的 WPS 选择



7.6.1 传统块保护

可以使用传统块保护位（S25FL256L），状态寄存器位 BP3、BP2、BP1、BP0 -- SR1V[5:2]）（S25FL128L），状态寄存器位 BP2、BP1、 BP0 -- SR1V[4:2]）以及配置寄存器 TBPROT 位 （SR1V[6] S25FL256L）（SR1V[5] S25FL128L）， CMP （CR1V[6] 位和 SEC（SR1V[5] S25FL128L）来禁止对主闪存阵列中某个地址范围进行的所有编程和擦除操作。该范围的大小由 BP 位的值决定，并且该范围的上限或下限起始点由配置寄存器 （SR1V[6]S25FL256L ）（SR1V[5] S25FL128L， ）的 TBPROT 位决定。 CMP 位（CR1V[6]）被置 1 时，将执行互补保护。

被使能时，指针区域保护会与传统块保护区域进行逻辑 OR 运算。

表 32. S25FL128L 块保护 （CMP = 0）

状态寄存器					128L （128 Mb）块保护 （CMP = 0）			
SEC	TBPROT	BP2	BP1	BP0	受保护块	受保护地址	受保护容量	受保护比例
X	X	0	0	0	无	无	无	无
0	0	0	0	1	252 ~ 255	FC0000h – FFFFFFh	256 kB	高 1/64
0	0	0	1	0	248 ~ 255	F80000h – FFFFFFh	512 kB	高 1/32
0	0	0	1	1	240 ~ 255	F00000h – FFFFFFh	1 MB	高 1/16
0	0	1	0	0	224 ~ 255	E00000h – FFFFFFh	2 MB	高 1/8
0	0	1	0	1	192 ~ 255	C00000h – FFFFFFh	4 MB	高 1/4
0	0	1	1	0	128 ~ 255	800000h – FFFFFFh	8 MB	高 1/2
0	1	0	0	1	0 ~ 3	000000h – 03FFFFh	256 kB	低层 1/64
0	1	0	1	0	0 ~ 7	000000h – 07FFFFh	512 kB	低层 1/32
0	1	0	1	1	0 ~ 15	000000h – 0FFFFFh	1 MB	低层 1/16
0	1	1	0	0	0 ~ 31	000000h – 1FFFFFh	2 MB	低层 1/8
0	1	1	0	1	0 ~ 63	000000h – 3FFFFFh	4 MB	低层 1/4
0	1	1	1	0	0 ~ 127	000000h – 7FFFFFh	8 MB	低层 1/2
X	X	1	1	1	0 ~ 255	000000h – FFFFFFh	16 MB	全部
1	0	0	0	1	255	FFF000h – FFFFFFh	4 kB	高 1/4096
1	0	0	1	0	255	FFE000h – FFFFFFh	8 kB	高 1/2048
1	0	0	1	1	255	FFC000h – FFFFFFh	16 kB	高 1/1024
1	0	1	0	X	255	FF8000h – FFFFFFh	32 kB	高 1/512
1	0	1	1	0				
1	1	0	0	1	0	000000h – 000FFFh	4 kB	低 1/4096
1	1	0	1	0	0	000000h – 001FFFh	8 kB	低 1/2048
1	1	0	1	1	0	000000h – 003FFFh	16 kB	低 1/1024
1	1	1	0	X	0	000000h – 007FFFh	32 kB	低 1/512
1	1	1	1	0				

注释：
22. X = 无需关注。

表 33. S25FL128L （128 Mb）块保护 （CMP = 1）

状态寄存器					128L 传统块保护 （CMP = 1）			
SEC	TBPORT	BP2	BP1	BP0	受保护块	受保护地址	受保护容量	受保护比例
X	X	0	0	0	0 ~ 255	000000h – FFFFFFh	16 MB	全部
0	0	0	0	1	0 ~ 251	000000h – FBFFFFh	16,128 kB	低 63/64
0	0	0	1	0	0 ~ 247	000000h – F7FFFFh	15,872 kB	低 31/32
0	0	0	1	1	0 ~ 239	000000h – EFFFFFh	15 MB	低 15/16
0	0	1	0	0	0 ~ 223	000000h – DFFFFFh	14 MB	低 7/8
0	0	1	0	1	0 ~ 191	000000h – BFFFFFh	12 MB	低 3/4
0	0	1	1	0	0 ~ 127	000000h – 7FFFFFh	8 MB	低 1/2
0	1	0	0	1	4 ~ 255	040000h – FFFFFFh	16,128 kB	高 63/64
0	1	0	1	0	8 ~ 255	080000h – FFFFFFh	15,872 kB	高 31/32
0	1	0	1	1	16 ~ 255	100000h – FFFFFFh	15 MB	高 15/16
0	1	1	0	0	32 ~ 255	200000h – FFFFFFh	14 MB	高 7/8
0	1	1	0	1	64 ~ 255	400000h – FFFFFFh	12 MB	高 3/4
0	1	1	1	0	128 ~ 255	800000h – FFFFFFh	8 MB	高 1/2
X	X	1	1	1	无	无	无	无
1	0	0	0	1	0 ~ 255	000000h – FFEFFFh	16,380 kB	低 4095/4096
1	0	0	1	0	0 ~ 255	000000h – FFDFFFh	16,376 kB	低 2047/2048
1	0	0	1	1	0 ~ 255	000000h – FFBFFFh	16,368 kB	低 1023/1024
1	0	1	0	X	0 ~ 255	000000h – FF7FFFh	16,352	低 511/512
1	0	1	1	0				
1	1	0	0	1	0 ~ 255	001000h – FFFFFFh	16,380 kB	高 4095/4096
1	1	0	1	0	0 ~ 255	002000h – FFFFFFh	16,376 kB	高 2047/2048
1	1	0	1	1	0 ~ 255	004000h – FFFFFFh	16,368 kB	高 1023/1024
1	1	1	0	X	0 ~ 255	008000h – FFFFFFh	16,352 kB	高 511/512
1	1	1	1	0				

注释：
23. X = 无需关注。

表 34. S25FL256L （256 Mb）上部阵列补充传统块保护 （TBPROT = 0、 CMP = 1）

状态寄存器内容				S25FL256L 传统块保护 （TBPROT = 0、 CMP = 1）			
BP3	BP2	BP1	BP0	受保护块的数量	受保护块	受保护空间（KB）	受保护比例
0	0	0	0	512	0-511	32768	所有块
0	0	0	1	511	0-510	32704	低 511/512
0	0	1	0	510	0-509	32640	低 255/256
0	0	1	1	508	0-507	32512	低 127/128
0	1	0	0	504	0-503	32256	低 63/64
0	1	0	1	496	0-495	31744	低 31/32
0	1	1	0	480	0-479	30720	低 15/16
0	1	1	1	448	0-447	28672	低 7/8
1	0	0	0	384	0-383	24576	低 3/4
1	0	0	1	256	0-255	16384	低 1/2
1	0	1	0	0	否	0	无
1	0	1	1	0	否	0	无
1	1	0	0	0	否	0	无
1	1	0	1	0	否	0	无
1	1	1	0	0	否	0	无
1	1	1	1	0	否	0	无

表 35. S25FL256L （256 Mb）下部阵列补充传统块保护 （TBPROT = 1、 CMP = 1）

状态寄存器内容				S25FL256L 传统块保护 （TBPROT = 1、 CMP = 1）			
BP3	BP2	BP1	BP0	受保护块的数量	受保护块	受保护空间（KB）	受保护比例
0	0	0	0	512	0-511	32768	所有块
0	0	0	1	511	1-511	32704	高 511/512
0	0	1	0	510	2-511	32640	高 255/256
0	0	1	1	508	4-511	32512	高 127/128
0	1	0	0	504	8-511	32256	高 63/64
0	1	0	1	496	16-511	31744	高 31/32
0	1	1	0	480	32-511	30720	高 15/16
0	1	1	1	448	64-511	28672	高 7/8
1	0	0	0	384	128-511	24576	高 3/4
1	0	0	1	256	256-511	16384	高 1/2
1	0	1	0	0	否	0	无
1	0	1	1	0	否	0	无
1	1	0	0	0	否	0	无
1	1	0	1	0	否	0	无
1	1	1	0	0	否	0	无
1	1	1	1	0	否	0	无

表 36. S25FL256L （256 Mb）上部阵列传统块保护 （TBPROT = 0、 CMP = 0）

状态寄存器内容				S25FL256L 传统块保护 （TBPROT = 0、 CMP = 0）			
BP3	BP2	BP1	BP0	受保护块的数量	受保护块	受保护空间（KB）	受保护比例
0	0	0	0	0	否	0	否
0	0	0	1	1	511	64	高 1/512
0	0	1	0	2	510-511	128	高 1/256
0	0	1	1	4	508-511	256	高 1/128
0	1	0	0	8	504-511	512	高 1/64
0	1	0	1	16	496-511	1024	高 1/32
0	1	1	0	32	480-511	2048	高 1/16
0	1	1	1	64	448-511	4096	高 1/8
1	0	0	0	128	384-511	8192	高 1/4
1	0	0	1	256	256-511	16384	高 1/2
1	0	1	0	512	0-511	32768	全部
1	0	1	1	512	0-511	32768	全部
1	1	0	0	512	0-511	32768	全部
1	1	0	1	512	0-511	32768	全部
1	1	1	0	512	0-511	32768	全部
1	1	1	1	512	0-511	32768	全部

表 37. S25FL256L （256 Mb）上部阵列传统块保护 （TBPROT = 0、 CMP = 0）

状态寄存器内容				S25FL256L 传统块保护 （TBPROT = 0、 CMP = 0）			
BP3	BP2	BP1	BP0	受保护块的数量	受保护块	受保护空间（KB）	受保护比例
0	0	0	0	0	否	0	否
0	0	0	1	1	0	64	低 1/512
0	0	1	0	2	0-1	128	低 1/256
0	0	1	1	4	0-3	256	低 1/128
0	1	0	0	8	0-7	512	低 1/64
0	1	0	1	16	0-15	1024	低 1/32
0	1	1	0	32	0-31	2048	低 1/16
0	1	1	1	64	0-63	4096	低 1/8
1	0	0	0	128	0-127	8192	低 1/4
1	0	0	1	256	0-255	16384	低 1/2
1	0	1	0	512	0-511	32768	全部
1	0	1	1	512	0-511	32768	全部
1	1	0	0	512	0-511	32768	全部
1	1	0	1	512	0-511	32768	全部
1	1	1	0	512	0-511	32768	全部
1	1	1	1	512	0-511	32768	全部

7.6.2 单块锁定 （IBL）保护

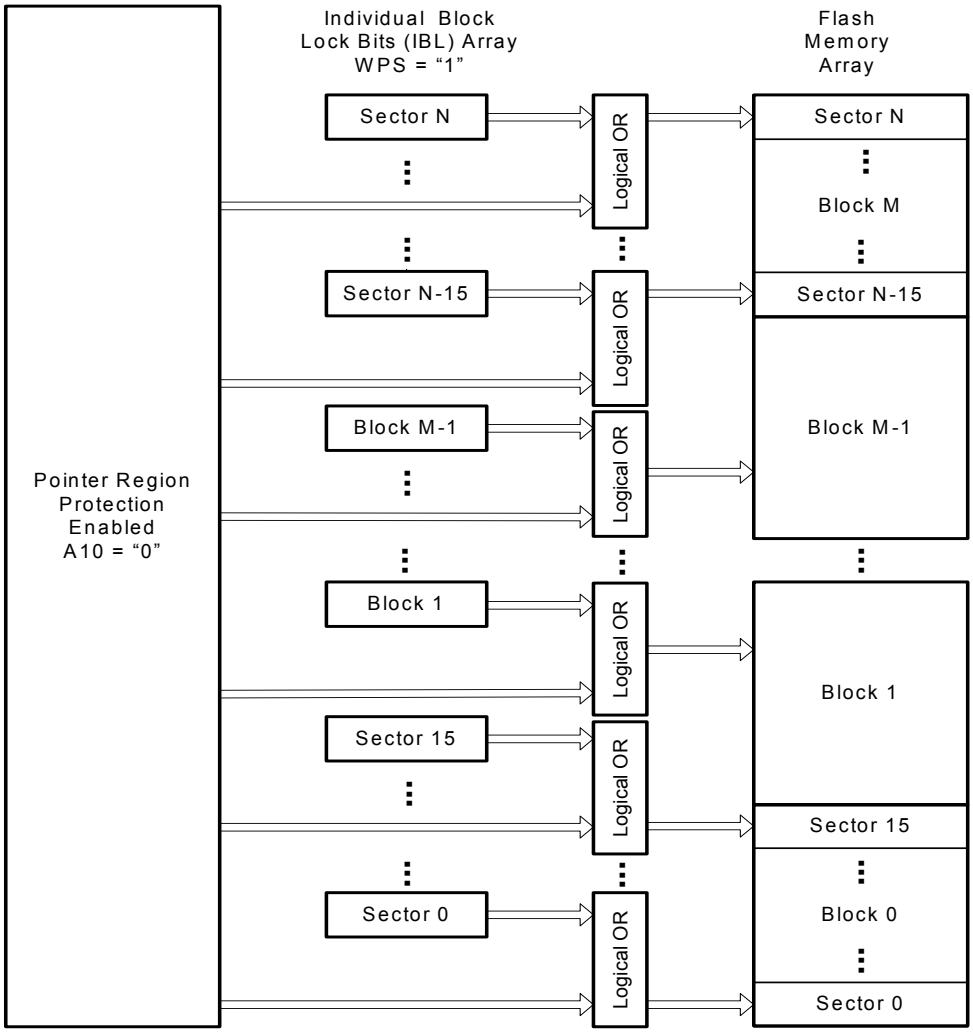
单块锁定位 （IBL）是易失性的，其中每一位用于锁定一个扇区 / 块，并且可以被单独修改。通过发送 IBL 或 GBL 命令，可以将 IBL 位设置为 0，从而保护每个相关的扇区 / 块。通过发送 IBUL 或 GUL 命令，可以将 IBL 位清除为 1，从而解除每个相关的扇区 / 块的保护。通过发送 IBLRD 命令，可以读取每个 IBL 位的状态。该功能允许软件方便地保护单个扇区 / 块，以免发生意外更改。但如果需要更改，仍能方便地解除保护。由于 IBL 位都是易失性位，可以按要求对它们进行设置或清除。

每个主 64 KB 块和在底部和顶部块中的各 4 KB 扇区都有相应的易失性的单块锁定位 （IBL）。如果某个扇区 / 块的 IBL 位为 0，则相关的扇区 / 块受到保护，不能对其执行编程和擦除操作。

如果使能了指针区域保护，则该保护区域与 IBL 位进行逻辑 OR 运算。

在上电、硬件复位或软件复位后， IBLLBB 处于默认状态 （IBLLBB = 1） （请参考第 39 页上的表 23），所有单独的 IBL 位在保护状态下都被设置为 0。要想编程或擦除该阵列，必须在执行编程或擦除命令前先发送全局 IBL 解锁或扇区 / 块 IBL 解锁命令。[IBLLBB = 0] 时，在上电、硬件复位或软件复位过后，所有单独的 IBL 位都会在不受保护的状态下被设置为 1。

图 25. 单块锁定 / 指针区域保护控制



注释：
24. “M” 指的是顶部 64 KB 的块。
25. “N” 指的是顶部 4 KB 的扇区。

7.6.3 指针区域保护 （PRP）

指针区域保护由一个非易失性地址指针指定，该地址指针将选择其中一个 4 KB 扇区作为存储器中保护区域和不受保护区域间的边界。这样可以确保各单独扇区间的间隔在整个电源周期和复位期间一直位于有效范围内。进入下一个电源周期， PRP 设置仍处于保护状态，直到提供了某个密码为止。该位也可能被永久性锁定。可以将 PRP 与传统块保护或单块锁定保护方式结合使用。使能 PRP 保护时，它与由 WPS 位 （CR2V[2]）指定的保护方式之间是逻辑 OR 关系。

通过发送设置指针区域保护 （SPRP FBh 或 4SPRP E3h）命令 （请参考第 107 页上的 8.9 节），或使用写入任意寄存器 （WRAR 71h）命令写入到 PRPR 寄存器 （请参考第 78 页上的 8.3.15 节）内，可以使能或禁用 PRP，并设置指针的值。

S25FL256L 器件必须进行 4 字节的地址使能（CR2V[0] = 1），以设置指针区域保护寄存器 PRPR（请参考第 41 页上的 6.6.10 节），这样才能确保 A24 和 A25 被正确设置。

在发送设置块 / 指针保护命令或者将写入任意寄存器 （WRAR 71h）命令写入 PRPR 寄存器后， A10 的值会使能或禁用指针保护机制。如果 A10 = 1，则禁用指针保护区域。这是默认的状态，其他指针的值不需关注。如果 A10 = 0，则使能指针保护区域。A10 的值被写入到 PRPR 寄存器中非易失性的指针位。无需关注 RFU 位的指针地址值，但读取这些位将返回数值 1。更多有关 PRPR 的信息，请参考第 41 页上的 6.6.10 节。

如果使能了指针保护机制，则指针值会指定寄存器中保护区域和不受保护区域间的块边界。指针边界是由被写入到 PRPR 寄存器内的非易失性指针值中的三个 （A23-A12）或四个 （A31-A12）地址字节设置的。不受保护的区域包括由指针值规定的 4 KB 扇区。

A9 的值用于确定不受保护的区域是否从存储器阵列的顶部 （最高地址）或底部 （最低地址）延长到指针所指位置。发送 SPRP 或 4SPRP 命令后再发送某个地址，如果 A9 = 0，则包含该地址的 4 KB 扇区以及从底部朝上 （从零地址到更高地址）的所有扇区不再受保护。如果 A9 = 1，则包含该地址的 4 KB 扇区以及从顶部朝下 （从最高地址到更低地址）的所有扇区将不受保护。 A9 的值位于 PRPR 寄存器中非易失性指针值所指定的位置。

可以使用 A11 位来保护所有扇区。如果 A11 = 1，则所有扇区都受保护。如果 A11 = 0，则不受保护的范围由 Amax-A12 指定。 A11 的值位于 PRPR 寄存器中非易失性指针值。

在挂起状态期间， SPRP 或 4SPRP 命令被忽略。这是因为在挂起状态下不能擦除或重新编程指针值。

如果 NVLOCK PR[0] = 0，则 SPRP 或 4SPRP 被忽略。

读取任意寄存器 （65h）命令 （请参考第 76 页上的 8.3.14 节）可读取 PRP 访问寄存器的内容。这样允许读取指针内容，用于进行测试和验证。

表 38. PRP 表

A11	A10	A9	受保护的地址范围	不受保护的地址范围	注释
x	1	x	无	全部	A10 = 1 时， PRP 被禁用 （这是默认状态，剩下所有指针值均为无需关注项）。
0	0	0	1FFFFFF 到 （A[31:12]+1）	A[31:12] 到 0000000	包含了该地址的 4 kB 扇区以及从底部向上（从零地址到更高地址）的所有扇区都不受保护。
0	0	1	（A[31;12]-1） 到 0000000	1FFFFFF 到 A[31:12]	包含了该地址的 4 kB 扇区以及从顶部向下（从最高地址到低地址）的所有扇区都不受保护。
1	0	x	1FFFFFF 到 000000	不适用	A10 = 0 和 A11 = 1 表示保护所有扇区， Amax-A12 为无需关注项。

如果使能了指针保护方案 （A10 = 0），并且该指针 保护某个地址空间的所有位置时，向该空间发送的擦除命令将不起任何作用。例如：可执行块擦除命令的某个 4 KB 的阵列，一旦采用了指针保护，所有擦除命令都会失败。使能 PRP（A10 = 0）时，芯片擦除 CEh 命令被忽略，从而设置 E_ERR 状态位。

被使能时，指针区域保护与传统块保护区域 （WPS CR2V[2] = 0）或单块锁定保护 （WPS CR2V[2] = 1）之间是逻辑 OR 关系 （请参考第 46 页上的图 24）。

7.7 单独和区域保护

单独和区域保护 （IRP）指的是一套独立的硬件和软件方案，用于禁用或使能安全区域 2、 3 和指针区域保护寄存器中的编程或擦除操作。

其中每种方法都可监控 NVLOCK 位的状态 （PR[0]） 。 NVLOCK = 1 时，能够编程和擦除安全区域 2、 3 和指针区域保护寄存器（PRPR）。NVLOCK = 0 时，不可编程或擦除安全区域 2、3 和 PRPR。请注意，安全区域 2、3 还分别受 LB2 或 LB3 = 1（CR1NV[4:5]）保护。

电源锁定保护是默认的方法。该方法在 POR 或硬件复位期间将 NVLOCK 位设置为 1，因此 NVLOCK 相关的区域和寄存器不受器件复位的保护。 PRL （A6h）命令将 NVLOCK 位清除为 0，以保护 NVLOCK 相关的区域和寄存器。电源锁定保护方法没有任何命令能够将 NVLOCK 位设置为 1，因此 NVLOCK 位一直为 0，直到下一次断电或硬件复位为止。电源锁定方法允许启动代码选择修改安全区域 2 和 3 或者 PRPR 中的值 （通过编程或擦除这些非易失性区域），然后通过将 NVLOCK 位清除为 0 来禁止对这些区域进行的所有更改，以确保系统正常操作。这种情况有时被称为启动代码控制的保护。

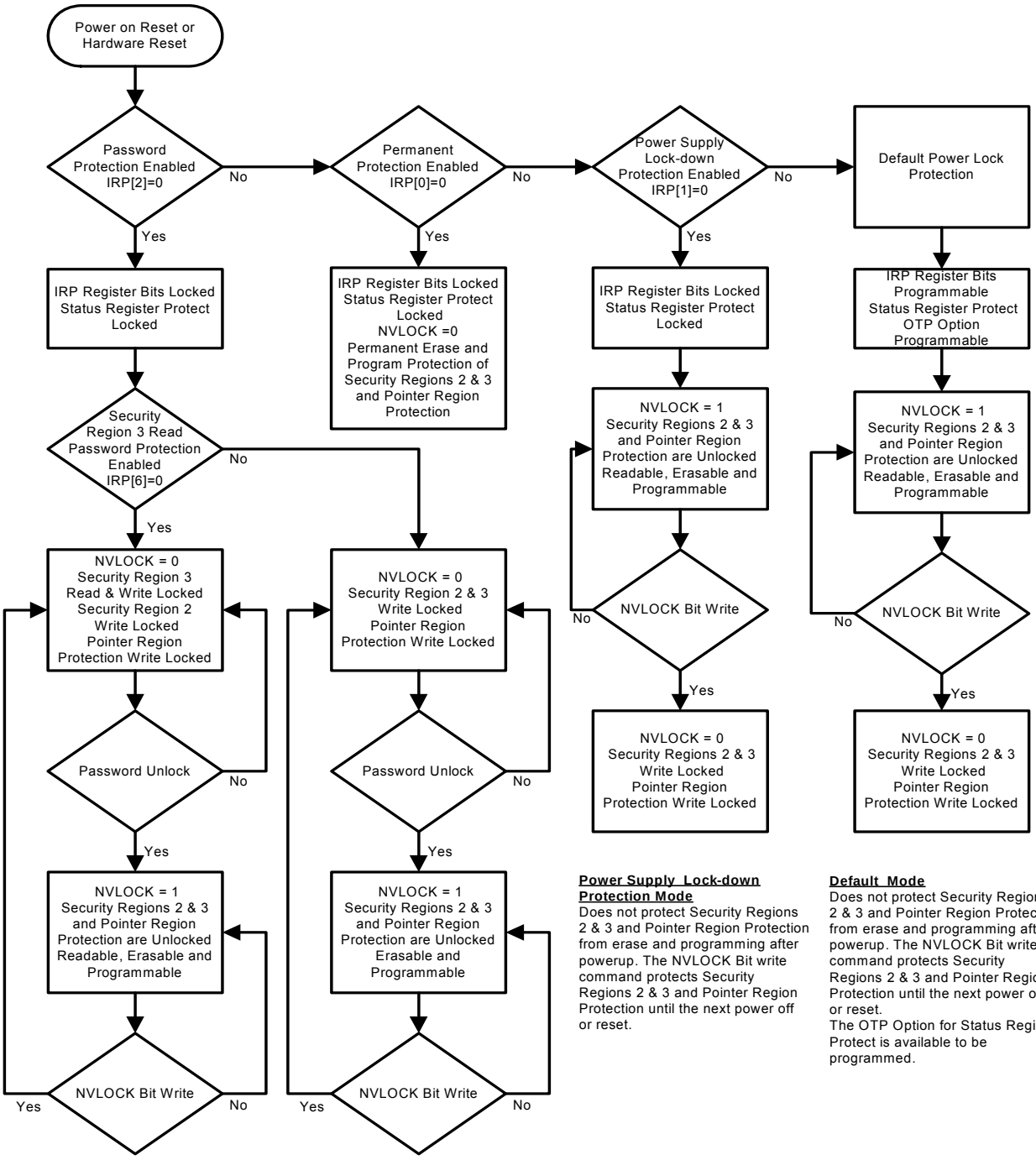
在 POR 或硬件复位期间，密码保护方法将保护寄存器 NVLOCK 位被清除为 0，并将 SECRRP 位设置为 IRP[6]，以保护 NVLOCK 相关的区域和寄存器。SECRRP 位指定安全区域 3 是否可读。对于密码方法，可以永久地编程并隐藏一个 64 位密码。可以使用 PASSU（EAh）命令提供密码，然后将其同隐藏密码进行比较。如果密码匹配，NVLOCK 位将被设置为 1，从而能够给 NVLOCK 相关的区域和寄存器解锁。通过 PRL （A6h）命令，可以将 NVLOCK 位清除为 0，以再次激活密码保护。

采用永久性保护方法时，会永久性地将 SECRRP 位设置为 1，并清除 NVLOCK 位为 0。这样可永久性保护安全区域 2、3 和 PRPR。

NVLOCK 位管理方法通过编程 IRP 寄存器 （IRP[2 或 1 或 0] 中的 OTP 位来选择，以便永久性选择所使用的方法。

第 54 页上的图 26 中显示的是这些方法的概述。

图 26. 永久性保护、密码保护和电源锁定保护概览



Read Password Protection Mode
Protects Security Regions 3 from Read, Erase and Programming, Security Region 2 and Pointer Region Protection from erase and programming after powerup. A password unlock Command will enable changes to Security Region 2 & 3 and Pointer Region Protection. A NVLOCK bit write command turns the protection back on.

Password Protection Mode
Protects Security Regions 2 & 3 and Pointer Region Protection from erase and programming after powerup. A password unlock Command will enable changes to Security Region 2 & 3 and Pointer Region Protection. A NVLOCK bit write command turns the protection back on.

Power Supply Lock-down Protection Mode
Does not protect Security Regions 2 & 3 and Pointer Region Protection from erase and programming after powerup. The NVLOCK Bit write command protects Security Regions 2 & 3 and Pointer Region Protection until the next power off or reset.

Permanent Protection Mode
Permanently protects Security Regions 2 & 3 and Pointer Region Protection from Erase and Programming

Default Mode
Does not protect Security Regions 2 & 3 and Pointer Region Protection from erase and programming after powerup. The NVLOCK Bit write command protects Security Regions 2 & 3 and Pointer Region Protection until the next power off or reset.
The OTP Option for Status Register Protect is available to be programmed.

Note
If Security Region Lock bits LB 2 & 3 are protected CR1NV[5:4]=1, this overrides the NVLOCK and the Security Regions protected by the LB bits will be permanently protected from erase and programming. If Read Password is enabled Security Region 3 can still be read password protected.

7.7.1 IRP 寄存器

IRP 寄存器用于永久地配置单独和区域保护 （IRP）特性的状态 （请查看第 39 页上的表 23）。

出厂时，默认情况下，所有器件均处于电源锁定保护模式，加电时所有区域均不受保护。

器件程序员或主机系统必须通过编程各相应的一次性可编程位来选择想要使用的保护模式：永久性保护、电源锁定保护或密码保护模式。编程其中某位会使器件被永久性锁定为所选定的模式：

出厂默认 IRP 寄存器

- IRP[6] = 1：读取密码保护模式不被使能。
- IRP[4] = 1：IBL 位都处于上电保护状态。
- IRP[2] = 1：密码保护模式不被使能。
- IRP[1] = 1：电源锁定保护模式不被使能，但作为默认模式。
- IRP[0] = 1：永久性保护模式不被使能。

IRP 寄存器编程规则：

- 如果选中了读取密码保护模式，则必须在设置密码保护模式锁定位 IRP[2] 前编写 SECRRP 位，或同时进行。
- 如果在不受保护模式下初始化各 IBL 位，则必须在设置保护模式锁定位 IRP[2:0] 中的某一位前编写 IBLLBB 位，或者同时进行。
- 如果选中了密码模式，则必须在设置密码保护模式的锁定位 IRP[2] 前编写密码。
- 各保护模式是相互排除的，一次只能选择其中一种模式。一旦通过设置 IRP[2:0] 的值来选中某种保护模式，将不能编写 IRP 寄存器位，并禁止对 OTP 寄存器进行任何更改。如果尝试修改上述任何寄存器位，则在完成选择保护模式后，该操作会失败，并且 P_ERR （SR2V[5]）被设置为 1。

IRP 寄存器的编程时间与典型的页编程时间相同。系统可以通过读取状态寄存器中的 WIP 位来确定 IRP 寄存器的状态。请参考第 25 页上的 6.6.1 状态寄存器 1 节，了解 WIP 的详细信息。请参见第 56 页上的 7.7.3 密码保护模式节。

7.7.1.1 IBL 锁定启动位

如果默认的 IBL 锁定位 IRP[4] = 1，则上电或发生复位时（在硬件复位或软件复位后的状态），所有 IBL 位都会进入 “ 受保护状态 ”。如果 IBL 锁定位 IRP[4] = 0 （编程），上电或复位发生时，所有 IBL 位都会进入 “ 不受保护状态 ”。

7.7.2 保护寄存器 （PR）

7.7.2.1 NVLOCK 位 （PR[0]）

NVLOCK 位是一个易失性位，用于保护：

■指针区域保护寄存器

■安全区域 2 和 3

该位被清零时， NVLOCK 将锁定相关区域。它被设置为 1 时，可修改这些区域。相关的详细信息，请参见第 40 页上的 6.6.8 保护寄存器 （PR）节。

PRL 命令用于将 NVLOCK 位清除为 0。将所有相关区域配置为所需设置后，需要将 NVLOCK 位清除为 0。

在电源锁定保护模式下，NVLOCK 位在 POR 或硬件复位期间被设置为 1。软件复位命令不会对 NVLOCK 位产生影响。清除后，所有软件命令序列都不能将 NVLOCK 设置为 1，只有通过硬件复位或上电才能设置 NVLOCK 位。

在密码保护模式下， NVLOCK 位在 POR 或硬件复位期间被清除为 0。只有通过密码解锁命令才能将 NVLOCK 位置 1。

在永久性保护模式下，会将 NVLOCK 位永久性清除为 0。这样可一直保护安全区域 2 和 3 和 PRPR。

7.7.2.2 安全区域读取密码锁定位 （SECRRP， PR[6]）

SECRRP 位是一个易失性位，用于防止对安全区域 3 进行读取操作。SECRRP[6] = 0 时，无法读取安全区域 3。更多信息，请参见第 40 页上的 6.6.8 保护寄存器 （PR）节。

在密码保护模式下，SECRRP 位在 POR、软件复位或硬件复位期间与 IRP[6] 相同。只能通过密码解锁命令将 NVLOCK 位设为 1。软件复位不会对 NVLOCK 位产生影响。

在永久性保护模式下， SECRRP 位被永久性设置为 1。这样可以持久维持安全区域 3 的可读性。

7.7.3 密码保护模式

密码保护模式在解锁 NVLOCK 位时要求 64 位密码，因此可比电源锁定保护模式提供级别更高的安全性。除了密码要求外，在上电和复位发生后，NVLOCK 位还被清除为 0，以确保在上电或复位后提供保护。通过输入整个密码并成功执行密码解锁命令后，NVLOCK 位将被设置为 1，从而允许修改与扇区 NVLOCK 相关的区域和寄存器。

密码保护注意事项：

■编程和验证密码后，必须设置密码模式 （IRP[2] = 0），以防止读取密码。

■密码编程命令只能编程 “0”。若将一个单元编程为 0 后再编程为 1，该单元将保留 0，并且不会设置编程错误。

■从赛普拉斯出厂时，密码全部是 1。它位于自己的存储空间中，可通过使用密码编程、密码读取、 RDAR 和 WRAR 命令进行访问。

■所有 64 位密码组合均为有效密码。

■一旦编程了密码保护模式，便能够防止对 64 位密码进行读取和编程操作。对密码区域的所有额外编程和读取命令均被禁止，这些命令被忽略或返回未定义数据。选择了密码模式锁定位后，无法验证密码内容。只能在选择密码保护模式前进行密码验证。

■保护模式锁定位不可擦除。

■只有输入准确的密码，才能解锁。如果密码解锁命令提供的密码与隐藏的内部密码不匹配，解锁操作会失败，与对受保护的扇区执行编程操作相似。 P_ERR 位被设置为 1， WIP 位保持设置状态，并且 NVLOCK 位保持清零状态。

- 每经过 100 µs ± 20 µs 时间，只能接收一条密码解锁命令。这样，黑客要想尝试所有 64 位组合以找到正确匹配的密码，就要经过不可思议的超长时间 （5800 万年）。读取状态寄存器 1 命令可用于读取 WIP 位，从而可以指出器件完成了密码解锁命令还是准备好接收新的密码命令。提供有效的密码时，密码解锁命令会立即将 WIP 位清零，不需要经过 100 µs 的延迟时间。
- 如果在选择密码模式后丢失了密码，则无法将 NVLOCK 位设置为 1。

7.7.4 安全区域读取密码保护

安全区域读取密码保护允许防止对安全区域 3 进行读取、编程和擦除操作。

- 安全区域读取密码保护是密码保护模式的附加选项（如上所述）。用户将 SECRRP 位 IRP[6] 编程为 0 时，安全区域读取密码保护被使能。设置密码保护模式锁定位 IRP[2] 时 / 前，必须编程 SECRRP 位 IRP[6]。

仅在编程密码并且将 IRP[2] 清零后，安全区域读取密码保护才会生效。

SECRRP （PR[6]）位被设为 0 时，安全区域 3 成为不可读取的空间。如果读取这些区域，返回的是无效和未定义的数据。

7.7.5 建议的 IRP 保护流程

在系统制造中，闪存器件的配置如下：

1. 根据需要编程安全区域
2. 根据需要设置指针区域保护寄存器
3. 若使用密码保护，则需要编程密码寄存器 （PASS）。
4. 根据需要编程 IRP 寄存器，包括通过 IRP[2:0] 选择永久性保护、电源锁定或密码 IRP 保护模式。明确指定一种保护模式非常重要，这样可以防止以后对 IRP 寄存器的意外或特意编程。这样可确保只有特定的保护功能被使能。编程 IRP 寄存器前 / 时：
   a. 通过 IBLLBB 位 （IRP[4]）可以在无保护状态下为所有 IBL 位供电。
   b. 通过编程 SECRRP 位 （IRP[6]），可以使安全区域读取密码保护使用密码来控制对安全区域 3 的读取访问。

在系统上电和启动代码执行过程中：如果正在使用电源锁定保护模式，则通过可靠启动代码能够确定是否需要修改与 NVLOCK 相关的区域或寄存器。如果无需修改，则可以使用 PRL 命令将 NVLOCK 位清零，以便在通电时防止在正常系统操作期间对与 NVLOCK 相关的区域或寄存器进行修改。

8. 命令

主机系统和 FL-L 存储器件系列之间都是以命令为单位形式进行通信。有关命令协议的详细信息，请参见第 14 页上的 5.2 命令协议节。

虽然在某些情况下可以使用主机软件直接控制 SPI 接口信号，但是信号关系和时序详情则通常由主机系统和存储器设备的硬件接口处理。本节内容着重于软件接口，所以没有详细描述信号关系和时序。它的重点内容是每个命令中位传输的逻辑序列。下面是一些需要记住的通用信号关系说明。更多有关命令的比特级别格式和信号时序关系的信息，请参见第 14 页上的 5.2 命令协议节。

- 主机总是控制片选 （CS#） 、串行时钟 （SCK）和单比特传输中的串行输入 （SI） 。存储器则驱动单比特读取传输的串行输出 （SO）。主机和存储器在双比特和四比特传输期间交替驱动 IO0-IO3 信号。
- 所有命令的启动方式均相同，都是主机在 SCK 的第一个上升沿前会将 CS# 驱动为低电平，从而选择存储器。执行命令过程中，CS# 一直保持低电平状态。CS# 返回高电平状态时，命令结束。一般情况下，CS# 在八位传输的倍数期间保持低电平状态，用以传输字节粒度的信息。如果 CS# 在非 8 位对齐位置上返回高电平状态，则不接受任何命令。

8.1 命令集汇总

8.1.1 扩展寻址

要想寻址大于 128 Mb 空间的地址，可以使用以下两个选项：

1. 始终要求一个 4 字节地址的指令，用于访问高达 32 Gb 的存储器：

表 39. 扩展型地址：4 字节地址命令

命令名称	功能	指令 （十六进制）
4READ	读取	13
4FAST_READ	快速读取	0C
4DOR	双线输出读取	3C
4QOR	四线输出读取	6C
4DIOR	双线 I/O 读取	BC
4QIOR	四线 I/O 读取	EC
4DDRQIOR	DDR 四线 I/O 读取	EE
4PP	页编程	12
4QPP	四线页编程	34
4SE	扇区擦除	21
4HBE	半块擦除	53
4BE	块擦除	DC
4IBLRD	IBL 读取	E0
4IBL	IBL 锁定	E1
4IBUL	IBL 解锁	E2
4SPRP	设置指针区域保护	E3

2. 4 字节地址模式与 3 字节地址指令向后兼容。标准的 3 字节指令可以同地址长度配置位 （CR2V[0]）控制的 4 字节地址模式结合使用。 CR2V[0] 的默认值可从 CR2NV[1] 中加载 （在执行上电、硬件复位或软件复位后），实现默认的 3 字节 （24 位）或 4 字节 （32 位）寻址。地址长度 （CR2V[0]）被设为 1 时，将修改传统命令，要求地址字段中使用 4 字节 （32 位）地址。以下指令可以同 4 字节地址模式配置结合起来使用，以便从 3 字节地址字段转为 4 字节地址字节。

表 40. 扩展型地址：4 字节地址模式下的 3 字节地址命令

命令名称	功能	指令 （十六进制）
RSFDP	读取 SFDP	5A
READ	读取	03
FAST_READ	快速读取	0B
DOR	双线输出读取	3B
QOR	四线输出读取	6B
DIOR	双线 I/O 读取	BB
QIOR	四线 I/O 读取	EB
DDRQIOR	DDR 四线 I/O 读取	ED
PP	页编程	02
QPP	四线页编程	32
SE	扇区擦除	20
HBE	半块擦除	52
BE	块擦除	D8
RDAR	读取任何寄存器	65
WRAR	写入任何寄存器	71
SECRE	安全区域擦除	44
SECRP	安全区域编程	42
SECRR	安全区域读取	48
IBLRD	IBL 读取	3D
IBL	IBL 锁定	36
IBUL	IBL 解锁	39
SPRP	设置指针区域保护	FB

8.1.2 按功能分类的命令汇总

表 41. FL-L 系列命令集 （按功能排列）

功能	命令名称	命令说明	指令值（十六进制）	最大频率（MHz）	地址长度（字节）	QPI
读取器件 ID	RDID	读取 ID （JEDEC 制造商 ID）	9F	108	0	支持
	RSFDP	读取 JEDEC 串行闪存可发现参数	5A	133	3 或 4	
	RDQID	四线读取 ID	AF	108	0	
	RUID	读取唯一 ID	4B	133	0	
寄存器访问	RDSR1	读取状态寄存器 1	05	108	0	
	RDSR2	读取状态寄存器 2	07	108	0	不支持
	RDCR1	读取配置寄存器 1	35	108	0	
	RDCR2	读取配置寄存器 2	15	108	0	
	RDCR3	读取配置寄存器 3	33	108	0	
	RDAR	读取任何寄存器	65	133	3 或 4	支持
	WRR	写入寄存器 （状态寄存器 1 和配置寄存器 1、 2、 3）	01	133	0	
	WRDI	写禁用	04	133	0	
	WREN	写使能，用于修改非易失性数据	06	133	0	
	WRENV	写使能，用于修改易失性状态和配置寄存器的数据	50	133	0	
	WRAR	写入任何寄存器	71	133	3 或 4	
	CLSR	清除状态寄存器	30	133	0	
	4BEN	进入 4 字节地址模式	B7	133	0	
	4BEX	退出 4 字节地址模式	E9	133	0	
	SBL	设置突发长度	77	133	0	
	QPIEN	进入 QPI 模式	38	133	0	不支持
	QPIEX	退出 QPI 模式	F5	133	0	支持
	DLPRD	数据学习模式读取	41	133	0	
	PDLRNV	编程非易失性数据学习寄存器	43	133	0	
	WDLRV	写入易失性数据学习寄存器	4A	133	0	
读取闪存阵列	READ	读取	03	50	3 或 4	不支持
	4READ	读取	13	50	4	
	FAST_READ	快速读取	0B	133	3 或 4	
	4FAST_READ	快速读取	0C	133	4	
	DOR	双线输出读取	3B	133	3 或 4	
	4DOR	双线输出读取	3C	133	4	
	QOR	四线输出读取	6B	133	3 或 4	
	4QOR	四线输出读取	6C	133	4	
	DIOR	双线 I/O 读取	BB	133	3 或 4	
	4DIOR	双线 I/O 读取	BC	133	4	
	QIOR	四线 I/O 读取 （CR1V[1] = 1 或 CR2V[3] = 1）	EB	133	3 或 4	支持
	4QIOR	四线 I/O 读取 （CR1V[1] = 1 或 CR2V[3] = 1）	EC	133	4	
	DDRQIOR	DDR 四线 I/O 读取 （CR1V[1] = 1 或 CR2V[3] = 1）	ED	66	3 或 4	
	4DDRQIOR	DDR 四线 I/O 读取 （CR1V[1] = 1 或 CR2V[3] = 1）	EE	66	4	

表 41. FL-L 系列命令集 （按功能排列）（续）

功能	命令名称	命令说明	指令值（十六进制）	最大频率（MHz）	地址长度（字节）	QPI
编程闪存阵列	PP	页编程	02	133	3 或 4	支持
	4PP	页编程	12	133	4	
	QPP	四线页编程	32	133	3 或 4	不支持
	4QPP	四线页编程	34	133	4	
擦除闪存阵列	SE	扇区擦除	20	133	3 或 4	支持
	4SE	扇区擦除	21	133	4	
	HBE	半块擦除	52	133	3 或 4	
	4HBE	半块擦除	53	133	4	
	BE	块擦除	D8	133	3 或 4	
	4BE	块擦除	DC	133	4	
	CE	芯片擦除	60	133	0	
	CE	芯片擦除 （备用指令）	C7	133	0	
擦除 / 编程挂起 / 恢复	EPS	擦除 / 编程挂起	75	133	0	
	EPR	擦除 / 编程恢复	7A	133	0	
安全区域阵列	SECRE	安全区域擦除	44	133	3 或 4	
	SECRP	安全区域编程	42	133	3 或 4	
	SECRR	安全区域读取	48	133	3 或 4	
阵列保护	IBLRD	IBL 读取	3D	133	3 或 4	
	4IBLRD	IBL 读取	E0	133	4	
	IBL	IBL 锁定	36	133	3 或 4	
	4IBL	IBL 锁定	E1	133	4	
	IBUL	IBL 解锁	39	133	3 或 4	
	4IBUL	IBL 解锁	E2	133	4	
	GBL	全局 IBL 锁定	7E	133	0	
	GBUL	全局 IBL 解锁	98	133	0	
	SPRP	设置指针区域保护	FB	133	3 或 4[27]	
	4SPRP	设置指针区域保护	E3	133	4	
单独和区域保护	IRPRD	IRP 寄存器读取	2B	133	0	
	IRPP	IRP 寄存器编程	2F	133	0	
	PRRD	保护寄存器读取	A7	133	0	
	PRL	保护寄存器锁定 （NVLOCK 位写入）	A6	133	0	
	PASSRD	密码读取	E7	133	0	
	PASSP	密码编程	E8	133	0	
	PASSU	密码解锁	EA	133	0	
复位	RSTEN	软件复位使能	66	133	0	
	RST	软件复位	99	133	0	
	MBR	模式位复位	FF	133	0	
深度掉电	DPD	深度掉电	B9	133	0	
	RES	退出深度掉电模式 / 器件 ID	AB	133	0	
RFU	Reserved-18	预留	18			
RFU	Reserved-41	预留	41			
RFU	Reserved-43	预留	43			

表 41. FL-L 系列命令集 （按功能排列）（续）

功能	命令名称	命令说明	指令值（十六进制）	最大频率（MHz）	地址长度（字节）	QPI
RFU	Reserved-4A	预留	4A			
RFU	Reserved-ED	预留	ED			
RFU	Reserved-EE	预留	EE			

注释：
26. 若在 QPI 模式下发送不受支持的命令，这些命令将发生未定义行为。
27. 对于 S25FL256L 器件， SPRP 命令必须使用 4 字节地址模式 （CR2V[0] = 1）。

8.1.3 读取器件标识

有多条用于读取有关器件制造商、器件类型和器件特性等信息的命令。来自不同供应商的 SPI 存储器使用了不同的命令和格式来读取存储器信息。 FL-L 系列产品支持三种器件信息命令。

8.1.4 寄存器读取或写入

有多种寄存器用于报告嵌入式操作状态或控制器件配置选项。可以通过命令对这些寄存器进行读取或写入操作。寄存器包括易失性和非易失性位。寄存器中的非易失性位自动被擦除和编程，如单个 （写）操作一样。

8.1.4.1 监控操作状态

主机系统通过监控状态寄存器中的 “ 正在写入 ” （WIP）位，可以指出是否完成了写入、编程、擦除、挂起或其它嵌入式操作。读取状态寄存器 1 命令或读取任意寄存器命令可提供 WIP 位的状态。读取状态寄存器 2 或读取任意寄存器命令将提供状态寄存器中的编程错误 （P_ERR）和擦除错误 （E_ERR）位的状态，指明最新的编程或擦除命令是否完成。当 P_ERR 或 E_ERR 位为 1 时， WIP 位将保持为 1，以表示器件的繁忙状态并且无法接收新的操作命令。 P_ERR 或 E_ERR 被设为 1 时，只有状态读取 （RDSR1 05h、RDSR2 07h）、读取任意寄存器 （RDAR 65h）、读取配置 RDCR1 和 RDCR3、状态清除 （CLSR 30h）和软件复位 （RSTEN 66h 随后是 RST 99h）为有效命令。并且必须发送清除状态寄存器 （CLSR）命令，才能使器件返回待机状态。另外，也可以通过硬件复位或软件复位 （RSTEN 66h 随后是 RST 99h），使器件返回待机状态。

8.1.4.2 配置

可以使用一些命令来读取、写入和保护寄存器，从而控制接口路径宽度、接口时序、接口地址长度和数据保护相关方面。

8.1.5 读取闪存阵列

可以从存储器的任意字节边界上读取数据。数据字节从低位字节地址到高位字节地址被连续读取，直到主机将 CS# 置高 （表示结束数据传输）为止。如果字节地址达到存储器阵列的最大地址，读取操作将从阵列的地址 0 重新开始。

突发循环读取可以通过设置突发长度 （SBL 77h）命令按要求的循环读取长度和对齐实现，请参见第 79 页上的 8.3.16 设置突发长度（SBL 77h）节。连续回卷读取仅适用于四线 I/O 和 QPI 模式。

有些不同的读取命令用于指定不同的访问延迟和数据路径宽度。双倍数据速率 （DDR）命令还定义了地址和数据位与两个 SCK 边沿的关系：

- 读取命令在每个SCK上升沿上通过SI/IO0信号提供一个地址位，并在每个SCK下降沿上通过SO/IO1信号返回一个数据位。使用该命令，地址和返回数据间并没有延迟，但是最大 SCK 速率被限于 50 MHz。
- 使用其它读取命令，地址和返回数据间有一定的延迟，但能够以更高的 SCK 频率进行操作。延迟时间取决于配置寄存器中的读取延迟值。
- 快速读取命令在每个 SCK 上升沿上通过 SI/IO0 信号提供一个地址位，并在每个 SCK 下降沿上通过 SO/IO1 信号返回一个数据位。
- 双线或四线输出读取命令在每个SCK上升沿上通过SI/IO0引脚提供地址位，并在每个SCK下降沿上通过IO0 - IO3信号返回两个或四个数据位。
- 双线或四线I/O读取命令在每个SCK上升沿上提供两个或四个地址位，并在每个SCK下降沿上通过IO0 - IO3信号返回两个或四个数据位。如果模式位值为 Axh，则连续读取功能会被使能。
- 四线双倍数据速率读取命令在每个SCK边沿上提供了四个地址位，并在每个SCK边沿上通过IO0 - IO3信号返回四个数据位。如果模式位值为 Axh，连续读取功能会被使能。

8.1.6 编程闪存阵列

编程数据需要两条命令：写入使能 （WREN）和页编程 （PP、4PP、QPP、4QPP）。通过页编程命令，可以在一次操作中编程从 1 字节到连续 256 个字节的数据。编程操作可以使位值保持为 1，或从 1 改为 0。要想将位值从 0 变为 1，需要使用擦除操作。

8.1.7 擦除闪存阵列

扇区擦除、半块擦除、块擦除或芯片擦除命令将一个扇区中或整个存储器阵列中的所有位设置为 1。先要将某一位擦除为 1，然后才能将它编程为 0。可以独立将每一位从 1 编程为 0，但必须按一个扇区、半块、一块或整个阵列 （芯片）的单位将位从 0 擦除为 1。执行擦除命令前，必须执行写入使能 （WREN）命令。

8.1.8 安全区域、传统的块保护以及个别和区域保护

器件有一些命令用于读取和编程保存永久性保护数据 （例如，序列号）的一次性保护 （OTP）阵列。有一些命令用于控制防止进行编程和擦除操作的闪存存储器阵列扇区连续组 （块）。还有一些命令用于控制防止对哪个个别闪存存储器阵列扇区进行编程和擦除操作。另外，有一种模式用于限制对安全区域 3 的读取访问，直到提供密码为止。

8.1.9 复位

在器件上电后，可以使用一些命令将器件复位为默认状态。然而，软件复位命令对 SRP1 或 NVLOCK 位没有产生影响。在所有其它方面，软件复位与硬件复位相同。

有一个命令用于复位 （退出）连续读取模式。

8.1.10 预留

有些命令留给将来使用。在这一代 FL-L 系列产品中，有些命令指令可能未被使用，并且不会影响器件的操作；有些命令指令则会返回未定义结果。

这类命令中的一部分被保留，以确保可以执行传统或交替源器件命令，而不会产生影响。这样允许传统软件发送一些与当前一代 FL-L 系列无关的命令，并要保证这些命令不会导致意外行为。

有些命令则被保留，用于本文档中未提到的特别版本 FL-L，或用于下一代产品。使新的主机存储控制器设计可以灵活使用这些命令指令。如果在发布本文档的修订版本时已确定好，那么命令格式也会得到定义。

8.2 标识命令

8.2.1 读取标识 （RDID 9Fh）

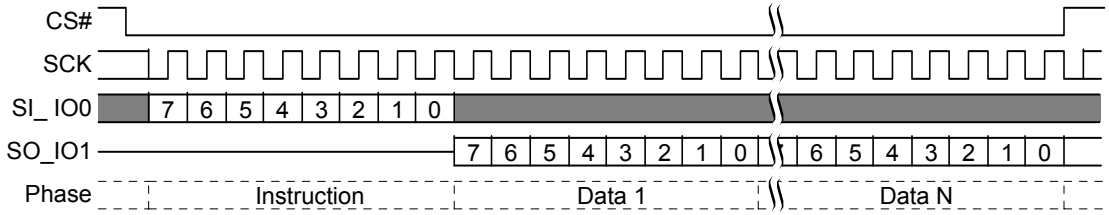
通过读取标识（RDID）命令，可以对制造商标识和器件标识进行读取访问。制造商标识由 JEDEC 分配，器件标识则由赛普拉斯分配。

在执行编程、擦除或写入周期期间发送的任何 RDID 命令被忽略，并且不会影响到这些操作的执行。

RDID 指令通过 SI/IO0 传入到器件内。 RDID 指令的最后位传入到器件后，通过 SO/IO1 信号连续输出一个制造商标识字节和两个器件标识字节。这全部信息被称为 ID。有关 ID 内容的详细说明，请参见第 129 页上的 10.2 器件 ID 地址映射节。

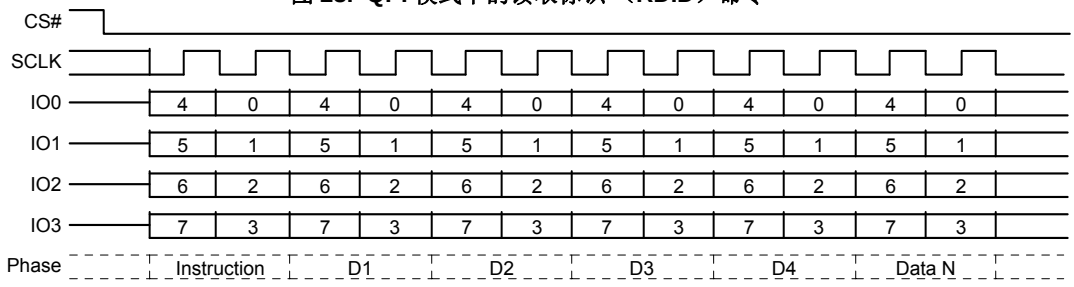
所定义的 ID 地址结束后，继续移出的输出会提供未定义数据。输出数据期间可随时将 CS# 置为逻辑高电平状态， RDID 命令序列立即被终止。传送 RDID 命令的频率最高可达 108 MHz 频率。

图 27. 读取标识 （RDID）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，将通过 IO0-IO3 信号传入指令及传出返回数据。

图 28. QPI 模式下的读取标识 （RDID）命令



8.2.2 四线读取标识 （RDQID AFh）

通过四线读取标识 （RDQID）命令，可以对制造商标识和器件标识进行读取访问。该命令是 RDID 命令的交替选项，用于在 QPI 模式下读取同样的信息。在所有其它方面，该命令与 RDID 命令相同。

只有器件处于 QPI 模式 （CR2V[3] = 1）或四线模式 （CR1V[1] = 1）时，才能识别该命令。在 QPI 模式下，将通过 IO0-IO3 传入指令，而在四线模式下会通过 IO0 传入指令。指令的最后一位传入到器件后，通过 IO0-IO3 信号连续输出一个制造商标识字节和两个器件标识字节。这样全部信息被称为 ID。有关 ID 内容的详细说明，请参见第 129 页上的 10.2 器件 ID 地址映射节。

所定义的 ID 地址结束后，继续移出的输出保存未定义数据。输出数据期间可以随时将 CS# 置为逻辑高电平状态，该命令序列立即被终止。

图 29. QPI 模式下的四线读取标识 （RDQID）命令序列

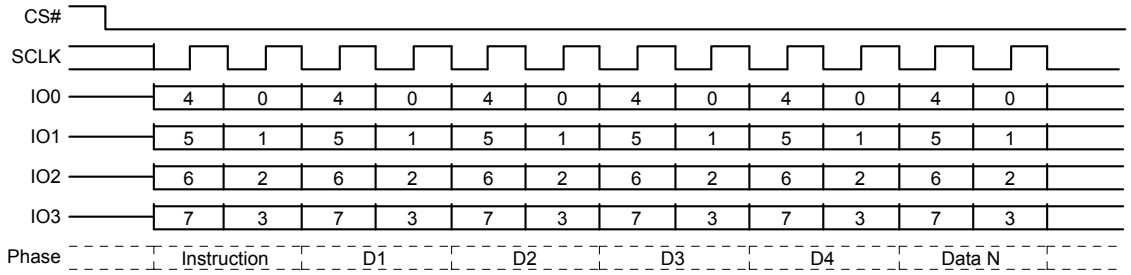
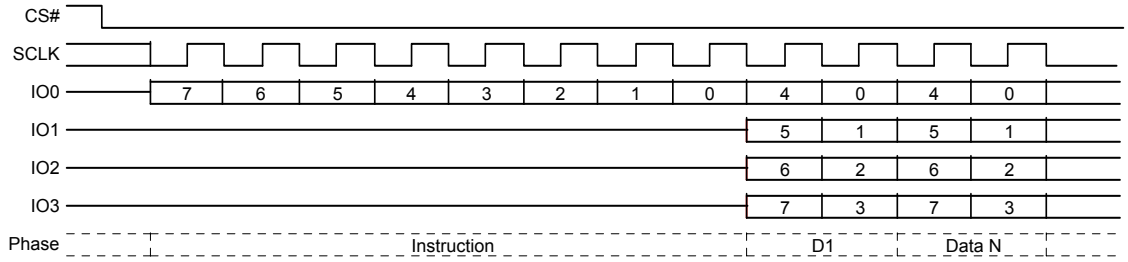


图 30. 四线模式下的四线读取标识 （RDQID）命令序列



8.2.3 读取串行闪存可发现参数 （RSFDP 5Ah）

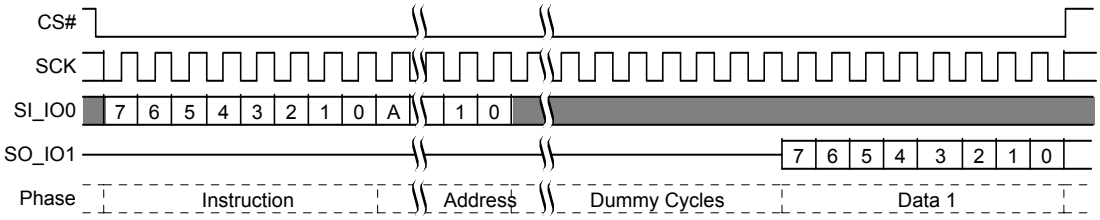
该命令开始于通过 SI 信号分别传入指令代码 “5Ah” 和一个 24 位 （3 字节）地址或 32 位 （4 字节）地址 （取决于 CR2V[0] 地址长度的当前配置），随后是 CR3V[3:0] 字段中可变读取延迟配置所指定的读取延迟周期数 （虚拟周期）。

虚拟周期结束后，通过 SO/IO1 从 SCK 下降沿开始传出 SFDP 字节。 SFDP 字节始终按最高有效位优先的方式传出。如果 24 位 （3 字节）地址或 32 位 （4 字节）地址被设为非零值，则 SFDP 空间中的选定位置作为读取数据的起始点。这样可以随机访问 SFDP 空间中的任意参数。在 SPI 模式下， RSFDP 命令的时钟频率最高可达 133 MHz。

为了符合 JEDEC JESD216 SFDP 标准，应将可变读取延迟设置为 8 个周期。器件从赛普拉斯出厂时， CR3NV 中的非易失性可变读取延迟的默认值为 8 个虚拟周期。然而，由于 RSFDP 命令使用的实现与其它可变地址长度和延迟读取命令相同，所以如果用户需要，可以自由修改命令的地址长度和延迟。

读取 SFDP 命令支持连续读取。

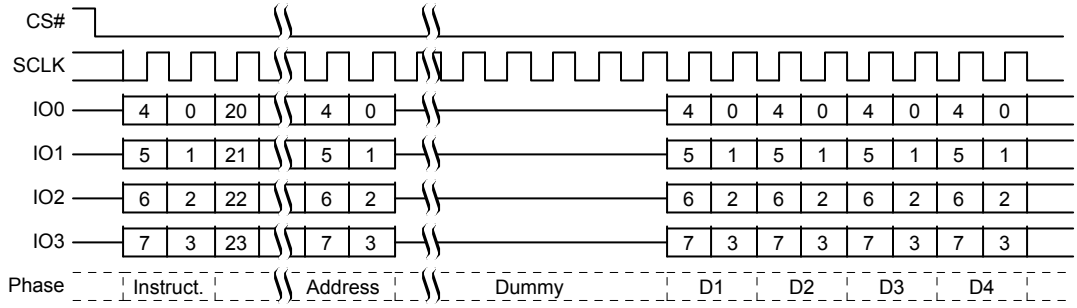
图 31. RSFDP 命令序列



注释：
28. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 13h）。

该命令也支持 QPI 模式。在 QPI 模式下，将通过 IO0-IO3 信号传入指令及传出返回数据。

图 32. QPI 模式下的 RSFDP 命令序列



8.2.4 读取唯一 ID （RUID 4Bh）

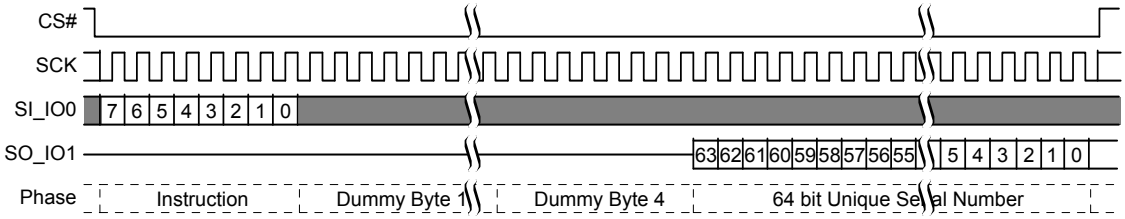
读取标识 （RUID）命令允许读取访问工厂设置的只读 64 位编号，该编号是每个器件的唯一值。

通过 SI 发送 RUID 指令，然后发送四个虚拟字节或 16 个虚拟字节 （对于 QPI 模式）（32 个时钟周期）。延迟周期 （虚拟字节）为器件的内部电路提供需要的时间来访问初始地址的数据。在这些延迟周期内， IO0-IO3 上的数据值为 “ 无需关注 ”，该值可能为高阻状态。

然后，唯一 ID 的 8 个字节通过 SO/IO1 被连续输出。

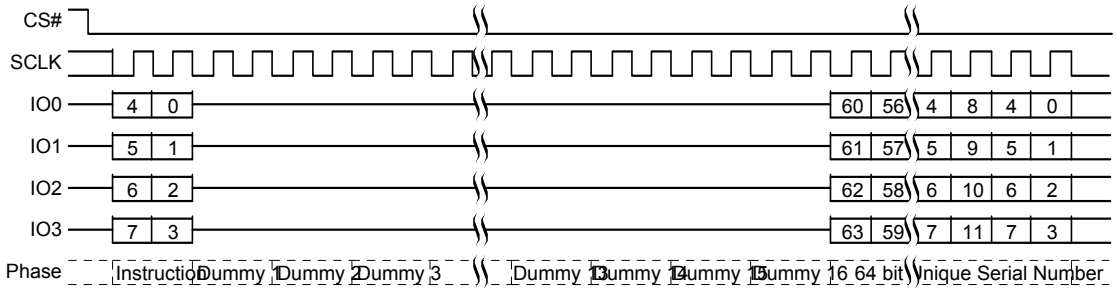
所定义的唯一 ID 地址结束后，继续移出的输出会提供未定义数据。输出数据期间可以随时将 CS# 置为逻辑高电平状态， RUID 命令序列立即被终止。

图 33. 读取唯一 ID （RUID）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，将通过 IO0-IO3 信号传入指令及传出返回数据。

图 34. QPI 模式下的读取唯一 ID （RUID）命令



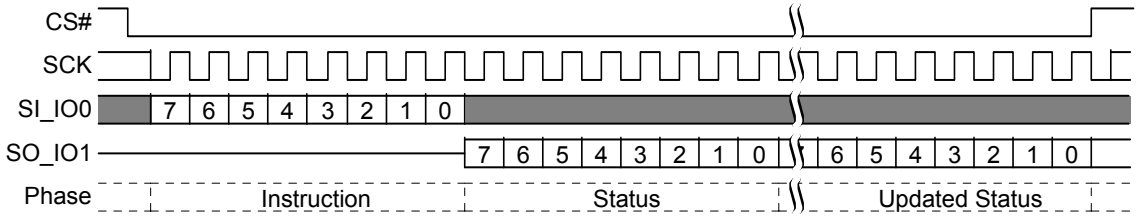
8.3 寄存器访问命令

8.3.1 读取状态寄存器 1 （RDSR1 05h）

通过读取状态寄存器 1 （RDSR1）命令，可以从 SO/IO1 读取状态寄存器 1 的内容。

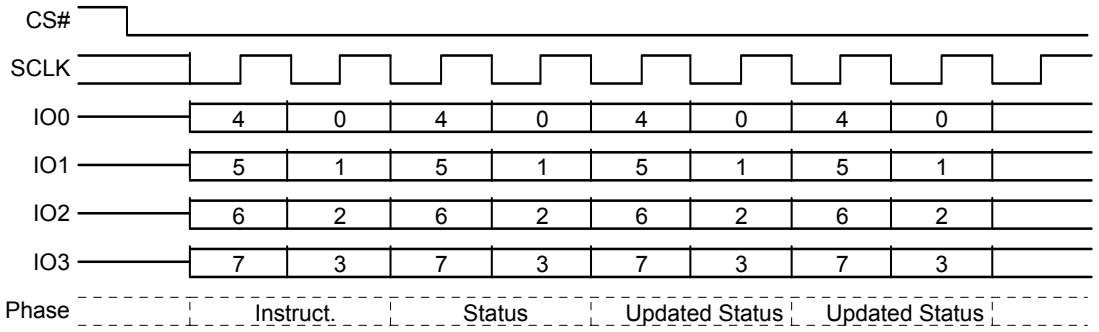
可以随时读取易失性状态寄存器 1 （SR1V）的内容，就算在执行编程、擦除或写入操作期间也能进行。通过提供 8 个时钟周期的倍数，可以连续读取状态寄存器 1。每 8 个读取周期更新一次状态。

图 35. 读取状态寄存器 1 （RDSR1）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，将通过 IO0-IO3 信号传入指令及传出返回数据。此外，还支持最高频率为 108 MHz 的读取状态寄存器。要想读取频率高于 108 MHz 的状态寄存器 1，需要使用读取所有寄存器命令，请参考第 76 页上的 8.3.14 读取任意寄存器 （RDAR 65h）节。

图 36. QPI 模式下的读取状态寄存器 1 （RDSR1）命令

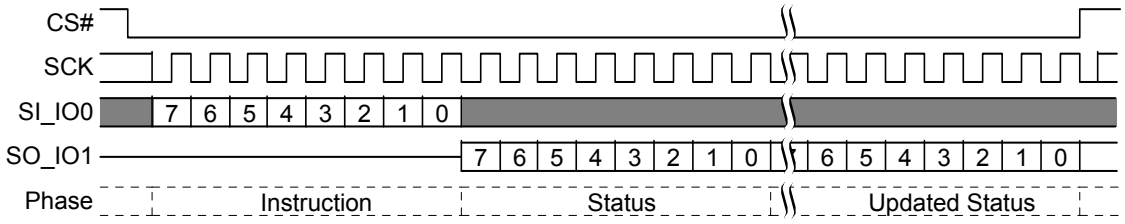


8.3.2 读取状态寄存器 2 （RDSR2 07h）

通过读取状态寄存器 2 （RDSR2）命令，可以从 SO/IO1 读取状态寄存器 2 的内容。

可以随时读取易失性状态寄存器 2 （SR2V）的内容，就算在执行编程、擦除或写入操作期间也能进行。通过提供 8 个时钟周期的倍数，可以连续读取状态寄存器 2。每 8 个读取周期更新一次状态。

图 37. 读取状态寄存器 2 （RDSR2）命令



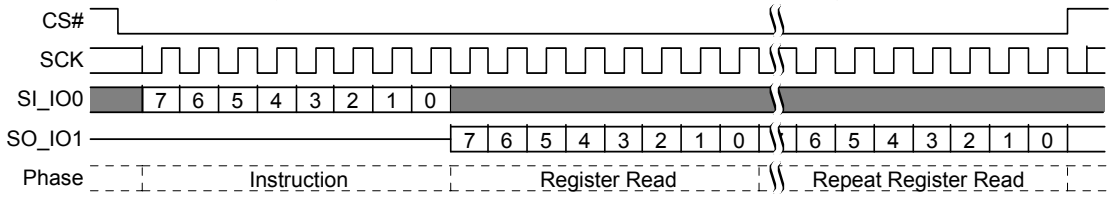
在 QPI 模式下，可以使用读取任意寄存器命令来读取状态寄存器 2，请参考第 76 页上的 8.3.14 读取任意寄存器 （RDAR 65h）节。

8.3.3 读取配置寄存器 （RDCR1 35h、 RDCR2 15h、 RDCR3 33h）

读取配置寄存器 （RDCR1、 RDCR2、 RDCR3）命令允许从 SO/IO1 读取易失性配置寄存器 （CR1V、 CR2V、 CR3V）的内容。

通过提供 8 个时钟周期的倍数，可以连续读取 CR1V、 CR2V 和 CR3V。可以随时读取配置寄存器的内容，就算在执行编程、擦除或写入操作期间也能进行。要想以更高频率读取配置寄存器 1、2 和 3，需要使用读取任意寄存器命令，请参考第 76 页上的 8.3.14 读取任意寄存器 （RDAR 65h）节。

图 38. 读取配置寄存器 （RDCR1、 RDCR2、 RDCR3）命令序列



在QPI模式下，可以使用读取任意寄存器命令来读取配置寄存器1、2和3，请参考第76页上的8.3.14 读取任意寄存器（RDAR 65h）节。

8.3.4 写入寄存器 （WRR 01h）

写入寄存器 （WRR）命令允许将新值写入到状态寄存器 1、配置寄存器 1、配置寄存器 2 和配置寄存器 3。器件接受写入寄存器（WRR）命令前，必须接收到写入使能 （WREN）或易失性寄存器的写入使能 （WRENV）命令。写入使能 （WREN）命令被成功解码后，器件将设置状态寄存器中的写入使能锁存 （WEL）以使能非易失性写操作，并将后面 WRR 命令中的值传入到非易失性 SR1NV、CR1NV、CR2NV 和 CR3NV 寄存器内。易失性寄存器的写入使能 （WRENV）命令被成功解码后，器件会将下面 WRR 命令中的值传入到易失性 SR1V、 CR1V、 CR2V 和 CRV3 寄存器内。

通过将指令和数据字节移至 SI/IO0，可以输入写入寄存器 （WRR）命令。状态寄存器的长度为一个数据字节。

针对在 WREN 命令后执行的非易失性寄存器的 WRR 操作，首先擦除非易失性寄存器，然后通过一次操作编程新值，最后将新的非易失性值复制到易失性寄存器内。对于在 WRENV 命令后执行的易失性寄存器的 WRR 操作，更新了易失性寄存器，而没有影响相关的非易失性寄存器值。如果 WRR 操作失败，则写入寄存器 （WRR）命令将设置 P_ERR 或 E_ERR 位。有关错误位的说明，请参见第 29 页上的 6.6.2 状态寄存器 2 易失性 （SR2V）节。器件将挂起繁忙状态，直到使用清除状态寄存器 （CLSR）来清除错误和 WIP （以使器件返回待机状态）为止。所有留给日后使用的状态或配置寄存器位都必须被置 0。

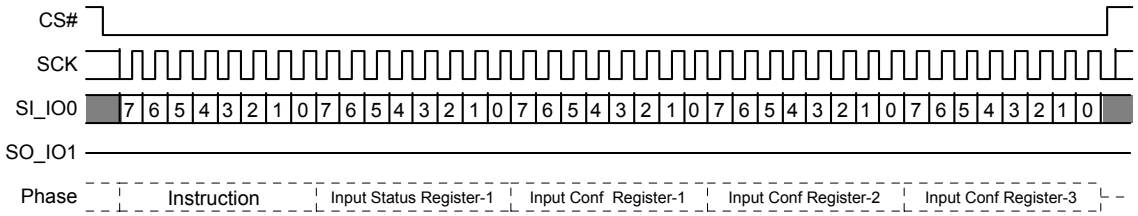
数据的第 8、第 16、第 24 或第 32 位被锁存后，必须将 CS# 置为逻辑高电平状态。否则，无法执行写入寄存器（WRR）命令。如果：

- 在第 8 个周期后将 CS# 置高，将对状态寄存器 1 进行写入操作
- 在第 16 个周期后将 CS# 置为高电平，将对状态寄存器 1 和配置寄存器 1 进行写入操作；
- 在第 24 个周期后将 CS# 置为高电平，将对状态寄存器 1 和配置寄存器 1、 2 进行写入操作；
- 在第 32 个周期后将 CS# 置高，将对状态寄存器 1、配置寄存器 1、 2 和 3 进行写入操作；

CS# 被驱动为逻辑高电平状态后，会立即启动自定时写入寄存器 （WRR）操作。在执行写入寄存器 （WRR）操作的过程中，还可以读取状态寄存器，以检查 ‘ 正在写入 ’ （WIP）位的值。执行自定时写入寄存器 （WRR）操作期间，正在写入 （WIP）位为 1 ；完成该操作时， WIP 位为 0。完成写入寄存器 （WRR）操作时，写入使能锁存 （WEL）位将被设置为 0。

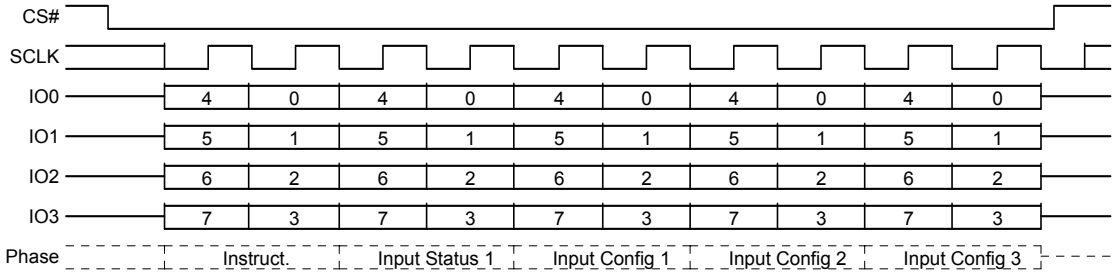
WRR 命令是受保护的，以免受硬件或软件复位的影响，硬件复位和软件复位命令被忽略，并且不会对 WRWRR 命令的执行产生影响。

图 39. 写入寄存器 （WRR）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号将指令和数据传入到芯片内。

图 40. QPI 模式下的写入寄存器 （WRR）命令序列



通过写入寄存器 （WRR）命令，用户可以修改非易失性状态寄存器 1 或易失性状态寄存器 1 中的传统块保护位值，用于定义只读区域的大小。

用户也可以通过写入寄存器 （WRR）命令将状态寄存器保护 0 （SRP0）位设为 1 或 0。状态寄存器保护 0 （SRP0）位和写入保护（WP#）信号允许对 BP 位进行硬件保护。

状态寄存器保护 0 （SRP0 SR1V[7]）位为 0 时，无论写入保护 （WP#）信号被驱动为逻辑高或逻辑低状态，都可以对状态寄存器进行写操作，前提是已经发送了 WREN 或 WRENV 命令。

状态寄存器保护 0 （SRP0）位被设置为 1 时，需要考虑写入保护 （WP#）信号的状态：

- 如果写入保护（WP#）信号被驱动为逻辑高状态，可以对状态和配置寄存器进行写操作，假定在 WRR 命令前已经发送了 WREN 或 WRENV 命令。
- 如果写入保护（WP#）信号被驱动为逻辑低状态，即使在 WRR 命令前已经发送了 WREN 或 WRENV 命令，也不能对状态和配置寄存器进行写操作。尝试对状态和配置寄存器进行的写操作被拒绝，不会执行，并且不提供错误指示。因此，受保护的存储区域中 （由状态寄存器中的传统块保护位保护）的所有数据字节也受 WP# 的硬件保护。

通过以下方式，可以提供 WP# 硬件保护：

- 将写入保护 （WP#）信号驱动为逻辑低状态后设置状态寄存器保护 0 （SRP0）；
- 或者，设置状态寄存器保护 0 （SRP0）位为 1 后将写入保护 （WP#）信号驱动为逻辑低状态。

释放硬件保护的唯一方法是将写入保护（WP#）信号拉到逻辑高状态。如果永久性将 WP# 置高，则 BP 位的硬件保护永远不会被激活。

硬件保护将在使能四线模式 （CR1V[1] = 1）或 QPI 模式 （CR2V[3] =1）下被禁用，因为这时 WP# 将成为 IO2，因此不能使用它。

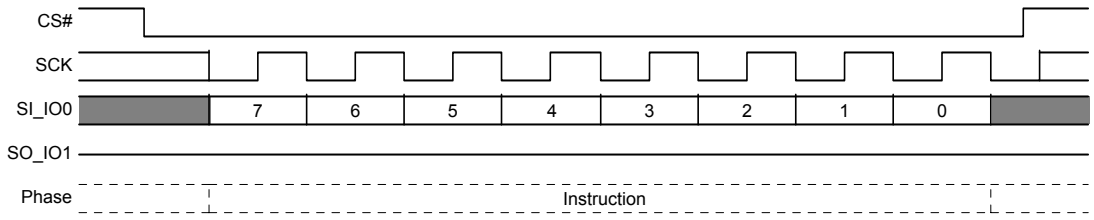
请参考第 45 页上的 7.5 状态寄存器保护 （SRP1、 SRP0）节，查看 SRP 和 WP# 对状态和配置寄存器保护的控制。

8.3.5 写入使能 （WREN 06h）

写入使能 （WREN）命令会将状态寄存器 1 （SR1V[1]）的写入使能锁存 （WEL）位设置为 1。需要发送写入使能 （WREN）命令以使能写入、编程和擦除操作，这样才能将写入使能锁存 （WEL）位设置为 1。

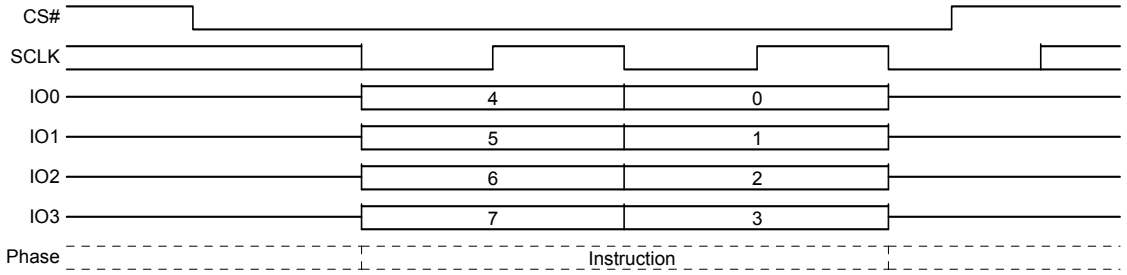
指令字节的第 8 位被锁存在 SI/IO0 上之后，必须将 CS# 信号驱动为逻辑高电平状态。否则，将不会执行写入使能操作。

图 41. 写入使能 （WREN）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 42. QPI 模式下的写入使能 （WREN）命令序列



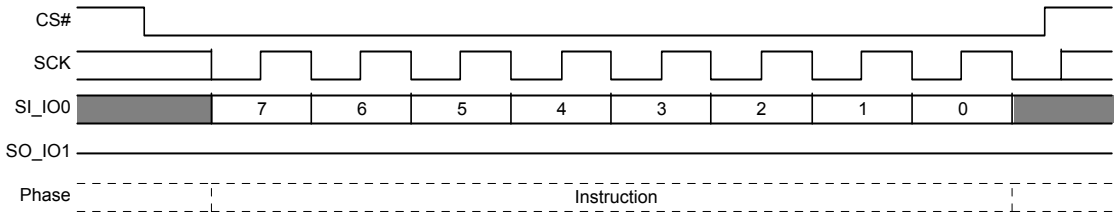
8.3.6 写入禁用 （WRDI 04h）

写入禁用 （WRDI）命令会将状态寄存器 1 的写入使能锁存 （WEL）位 （SR1V[1]）清除为 0。

要想将写入使能锁存 （WEL）位清除为 0，需要发送写入禁用 （WRDI）命令，以便禁止页编程 （PP、4PP、QPP、4QPP）、扇区擦除 （SE）、半块擦除 （HBE）、块擦除 （BE）、芯片擦除 （CE）、写入寄存器 （WRR 或 WRAR）、安全区域擦除 （SECRE）、安全区域编程 （SECRP）和其它命令。需要将 WEL 设为 1 才可执行这些命令。用户可以使用 WRDI 命令来保护存储区域，防止可能使存储器内容受损害的意外写操作。 WIP 位 = 1 时， WRDI 命令在执行嵌入式操作期间被忽略。

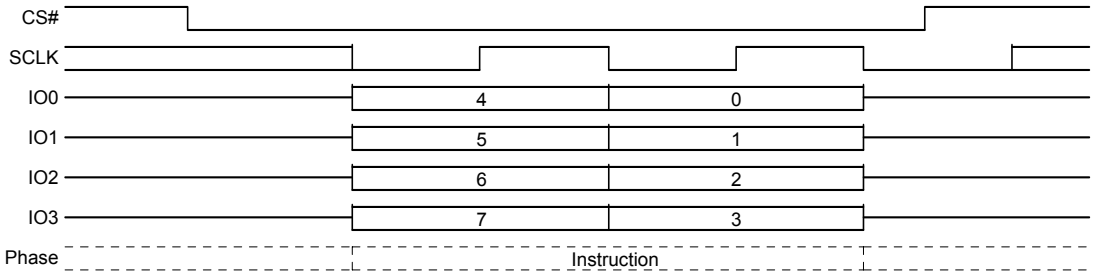
指令字节的第 8 位被锁存在 SI/IO0 上之后，必须将 CS# 信号驱动为逻辑高电平状态。否则，将不会执行写入禁用操作。

图 43. 写入禁用 （WRDI）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 44. QPI 模式下的写入禁用 （WRDI）命令序列

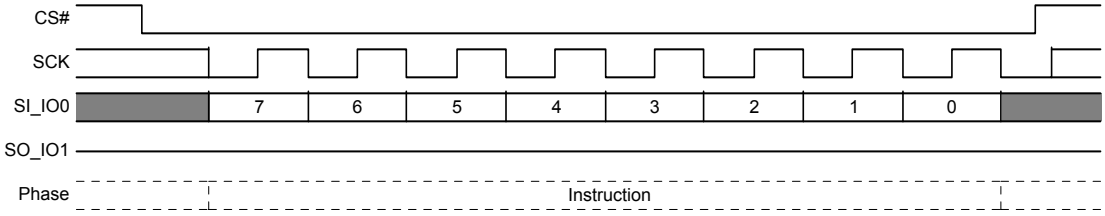


8.3.7 易失性寄存器的写入使能 （WRENV 50h）

分别发送 WRENV 和 WRR 命令后，便能够对第 25 页上的 6.6 寄存器节中所述的易失性 SR1V、CR1V、CR2V 和 CR3V 寄存器进行写操作。这样可以灵活、快速地修改系统配置和存储器保护方案，不用等待典型的非易失性位的写周期，也不会影响非易失性状态或配置寄存器位的耐久性。WRENV 命令将不会设置写入使能锁存 WEL）位，WRENV 仅用于指导 WRR 命令修改易失性状态和配置寄存器位值。

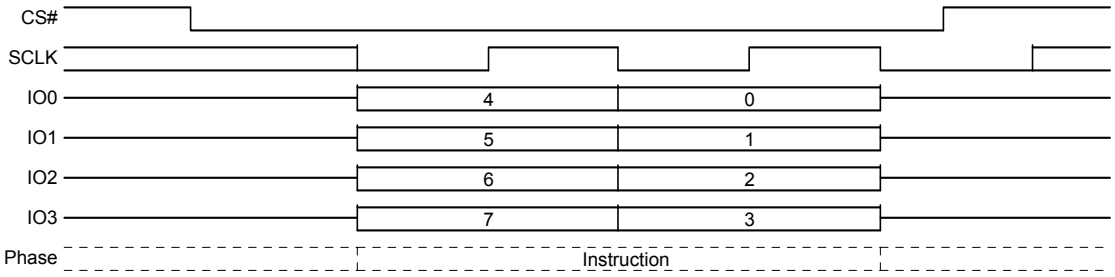
指令字节的第 8 位被锁存在 SI/IO0 上之后，必须将 CS# 信号驱动为逻辑高电平状态。否则，不会执行写入使能操作。

图 45. 易失性寄存器的写入使能 （WRENV）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

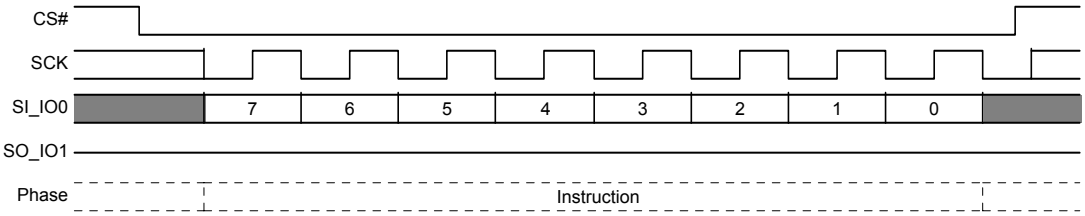
图 46. QPI 模式下的易失性寄存器的写入使能 （WRENV）命令序列



8.3.8 清除状态寄存器 （CLSR 30h）

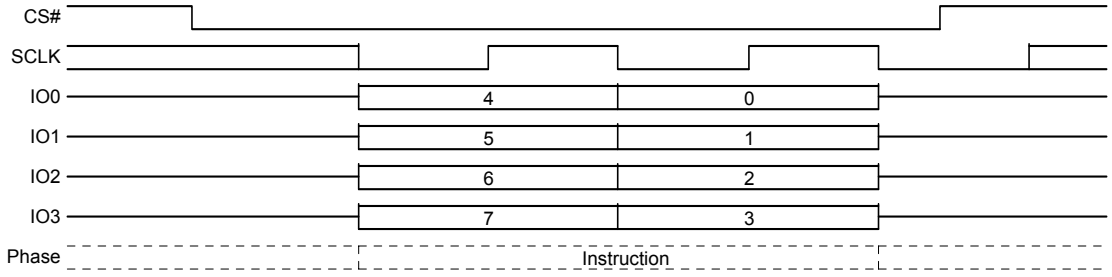
通过清除状态寄存器命令，可以将 WIP （SR1V[0]）、WEL （SR1V[1]）、P_ERR （SR2V[5]）和 E_ERR （SR2V[6]）位清除为 0。执行清除状态寄存器命令前，不需要设置 WEL 位。即使器件由于 WIP 被设为 1 而保持繁忙状态，它也会接受清除状态寄存器命令，这是因为当两个错误位中的一个被设置时，器件也会保持繁忙状态。

图 47. 清除状态寄存器 （CLSR）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 48. QPI 模式下的清除状态寄存器 （CLSR）



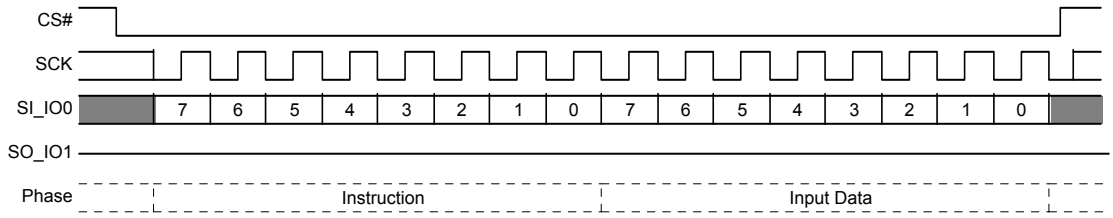
8.3.9 编程 DLRNV （PDLRNV 43h）

接受编程 DLRNV （PDLRNV）命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。成功解码写入使能 （WREN）命令后，器件将设置写入使能锁存 （WEL）位以使能 PDLRNV 操作。

通过将指令和数据字节移至 SI/IO0，可以输入 PDLRNV 命令。

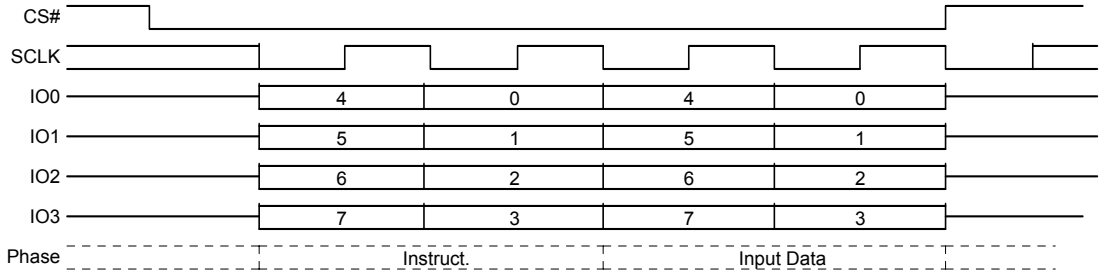
数据字节的第 8 位被锁存后，必须将 CS# 驱动为逻辑高电平状态。否则，将不能执行 PDLRNV 命令。CS# 被驱动为逻辑高电平状态后，会立即启动自定时 PDLRNV 操作。在执行 PDLRNV 操作的过程中，可以读取状态寄存器以检查正在写入 （WIP）位的值。执行自定时 PDLRNV 操作期间，正在写入 （WIP）位为 1 ；完成该操作时， WIP 位为 0。 PDLRNV 命令可以报告状态寄存器中 P_ERR 位的编程错误。完成 PDLRNV 操作时，写入使能锁存 （WEL）位将被设置为 0。 PDLRNV 命令的最大时钟频率为 133 MHz。

图 49. 编程 DLRNV （PDLRNV）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号将指令和数据传入到芯片内。

图 50. QPI 模式下的编程 DLRNV （PDLRNV）命令序列



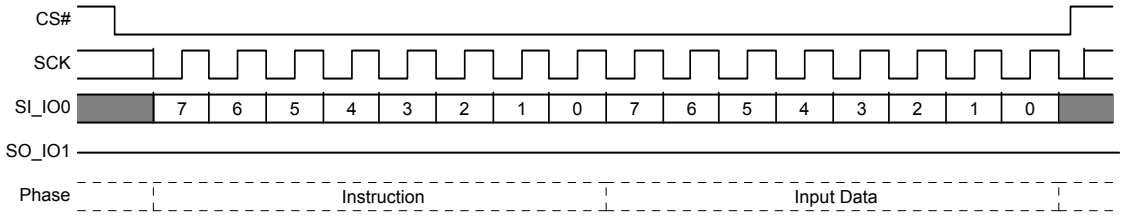
8.3.10 写入 DLRV （WDLRV 4Ah）

接收写入 DLRV （WDLRV）命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。成功解码写入使能 （WREN）命令后，器件将设置写入使能锁存 （WEL）位以使能 WDLRV 操作。

通过将指令和数据字节移至 SI/IO0，可以输入 WDLRV 命令。

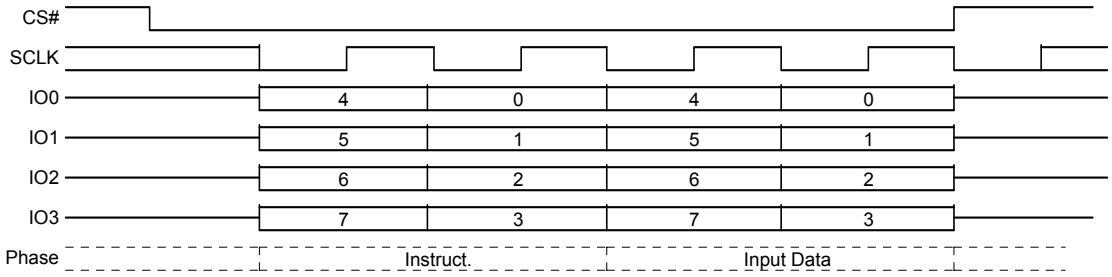
数据字节的第 8 位被锁存后，必须将 CS# 驱动为逻辑高电平状态。否则，不能执行 WDLRV 命令。CS# 被驱动为逻辑高电平状态后，会立即启动 WDLRV 操作。 WDLRV 命令的最大时钟频率为 133 MHz。

图 51. 写入 DLRV （WDLRV）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号将指令和数据传入到芯片内。

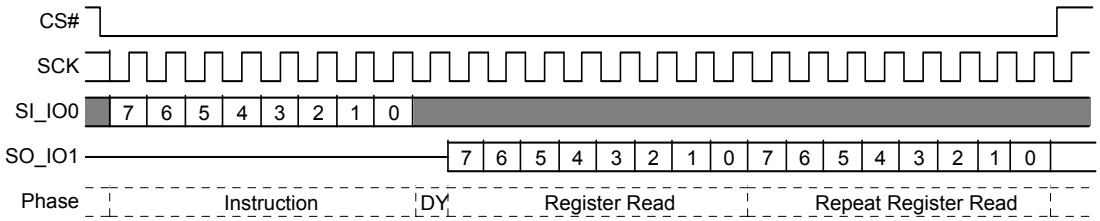
图 52. QPI 模式下的写入 DLRV （WDLRV）命令序列



8.3.11 数据学习模式读取 （DLPRD 41h）

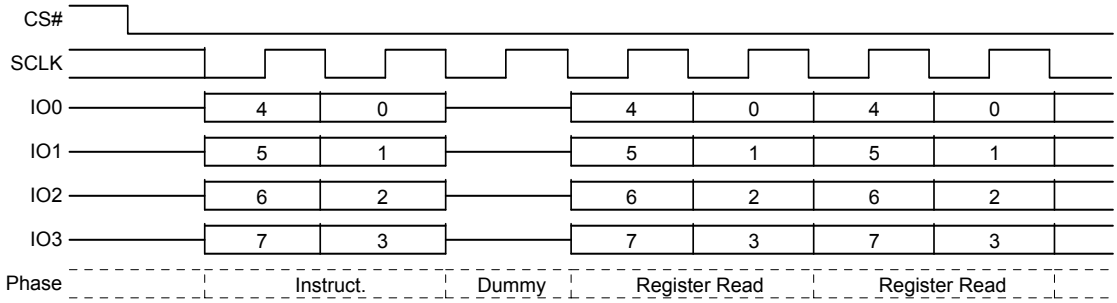
在 SCK 信号的上升沿上，将指令 41h 传入到 SI/IO0，传入完成后存在一个虚拟周期。延迟周期为器件的内部电路提供需要的时间用于访问初始地址的数据。在这些延迟周期内， IO0-IO3 上的数据值为 “ 无需关注 ” 项，该值可能为高阻状态。然后 8 位 DLP 通过 SO/IO1 信号被传出。通过提供 8 个时钟周期的倍数，可以连续读取 DLP。 DLPRD 命令的最大工作时钟频率为 133 MHz。

图 53. DLP 读取 （DLPRD）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令及传出返回的数据。

图 54. QPI 模式下的 DLP 读取 （DLPRD）命令序列

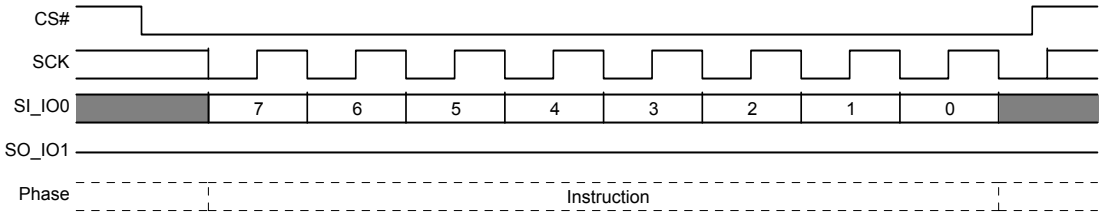


8.3.12 进入 4 字节地址模式 （4BEN B7h）

通过进入 4 字节地址模式 （4BEN）命令，可以将易失性地址长度状态 （ADS）位 （CR2V[0]）设为 1，使所有 3 字节地址命令都要求 4 字节地址。该命令不会对支持 4 字节的命令产生影响，这些命令仍要求地址为 4 字节大小。

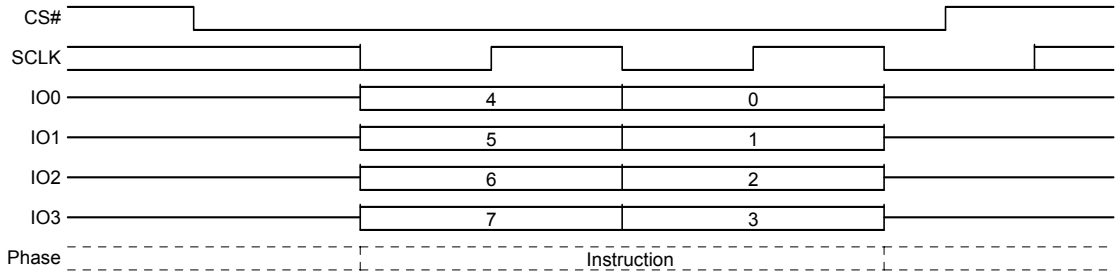
要想返回 3 字节地址模式，可以通过 4BEX 或 WRAR 命令将易失性地址长度位 CR2V[0] 清除为 0。通过 WRAR 命令也可以清除易失性地址长度位，即CR2V[0] = 0。此外，如果非易失性地址长度位CR2NV[1]为0，可以使用硬件复位或软件复位来返回3字节地址模式。

图 55. 进入 4 字节地址模式 （4BEN B7h）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

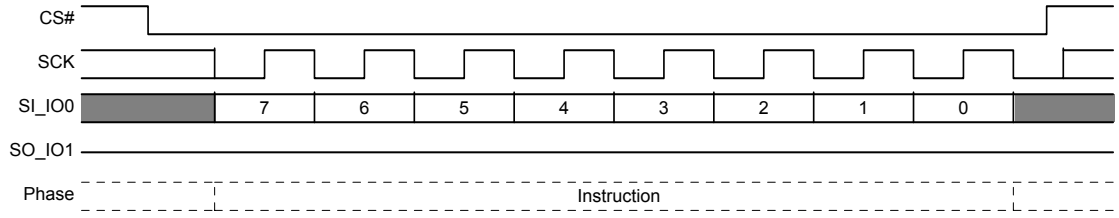
图 56. QPI 模式下的进入 4 字节地址模式命令



8.3.13 退出 4 字节地址模式 （4BEX E9h）

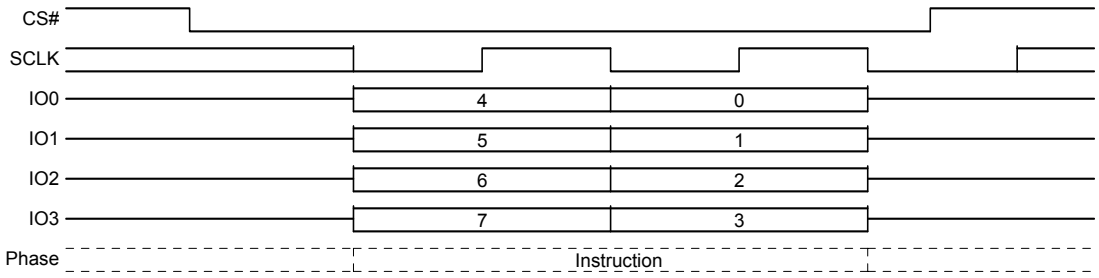
通过退出 4 字节地址模式 （4BEX）命令，可以将易失性地址长度状态 （ADS）位 （CR2V[0]）设置为 0，使几乎所有 4 字节地址命令都要求 3 字节的地址。该命令不会对支持 4 字节的命令产生影响，这些命令仍要求地址为 4 字节大小。

图 57. 退出 4 字节地址模式 （4BEX E9h）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 58. QPI 模式下的退出 4 字节地址模式命令



8.3.14 读取任意寄存器 （RDAR 65h）

通过读取任意寄存器 （RDAR）命令，可以读取器件寄存器。该指令后面是 3 或 4 字节地址 （取决于地址长度配置 CR2V[0]），最后是由 CR3V[3:0] 指定的延迟 （虚拟）周期数量。然后将返回选定的寄存器的内容。如果继续执行读取访问，将返回同样的寄存器内容，直到命令终止为止。每个 RDAR 命令只能读取一个寄存器。

读取未定义地址会返回未定义数据。

在执行嵌入式操作期间，可以使用 RDAR 命令来读取状态寄存器 1 （SR1V）。

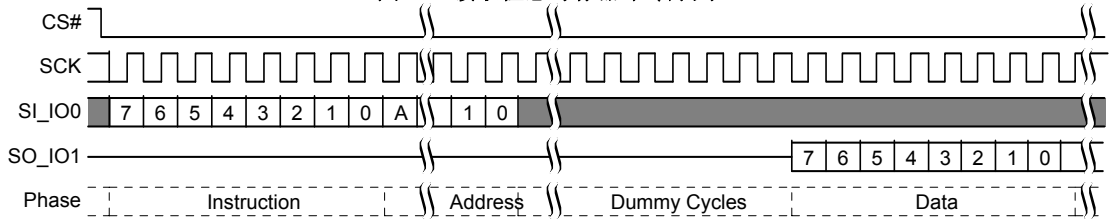
RDAR 命令不用于读取反映更大阵列的寄存器，例如：IBLAR。需要使用一些单独命令来选择并读取被访问阵列中的位置。

如果将 IRP[2] 编程为 0 来选择 IRP 密码保护模式， RDAR 命令会从 PASS 寄存器中读取无效数据。

表 42. 寄存器地址映射

字节地址（十六进制）	寄存器名称	说明
000000	SR1NV	非易失性状态和配置寄存器 读取非易失性状态和配置寄存器实际上是读取易失性寄存器
000001	N/A	
000002	CR1NV	
000003	CR2NV	
000004	CR3NV	
000005	NVDLP	
...	N/A	
000020	PASS[7:0]	非易失性密码寄存器
000021	PASS[15:8]	
000022	PASS[23:16]	
000023	PASS[31:24]	
000024	PASS[39:32]	
000025	PASS[47:40]	
000026	PASS[55:48]	
000027	PASS[63:56]	
...	N/A	
000030	IRP[7:0]	非易失性
000031	IRP[15:8]	
...	N/A	
000039	PRPR[A15:A8]	指针区域保护寄存器 A15:A8
00003A	PRPR[A23:A16]	指针区域保护寄存器 A23:A16
00003B	PRPR[A31:A24]	指针区域保护寄存器 A31:A24
...	N/A	
800000	SR1V	易失性状态和配置寄存器
800001	SR2V	
800002	CR1V	
800003	CR2V	
800004	CR3V	
800005	VDLP	
...	N/A	
800040	PR	易失性保护寄存器
...	N/A	

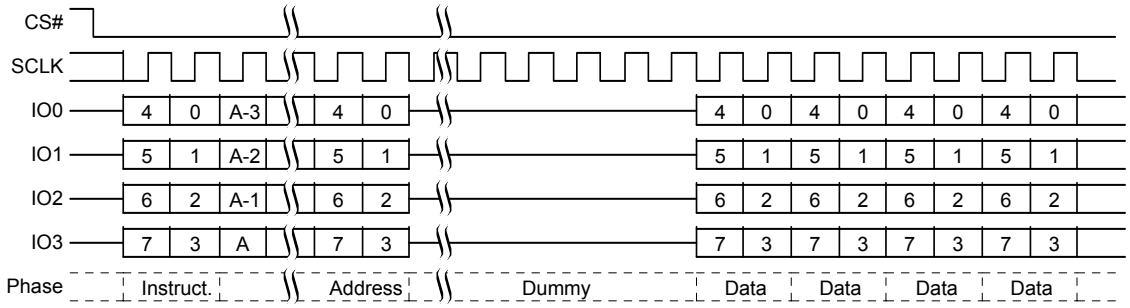
图 59. 读取任意寄存器命令序列



注释：
29. A = 地址的 MSb = 23 （若地址长度位 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1）。

该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令和地址及返回数据。

图 60. QPI 模式下的读取任意寄存器命令序列



注释：
30. A = 地址的 MSb = 23 （若地址长度位 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1）

8.3.15 写入任何寄存器 （WRAR 71h）

通过写入任意寄存器（WRAR）命令，可以对任意的非易失性或易失性器件寄存器进行写操作。该指令后面是一个 3 或 4 字节的地址（取决于地址长度配置 CR2V[0]），然后是将被写入到选定寄存器内的 1 字节的数据。

S25FL256L 器件必须使能 4 字节地址模式（CR2V[0] = 1），以便设置指针区域保护寄存器 PRPR（请参考第 41 页上的 6.6.10 节）。

接受 WRAR 命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。这样将设置状态寄存器中的写入使能锁存 （WEL）位，用于使能所有写入操作。通过检查 SR1V 中的 WIP 位可以确定该操作是否已经完成。同样，通过检查 SR2V 中的 P_ERR 和 E_ERR 位可以确定在操作过程中是否发生了错误。

一些寄存器结合使用了各个位类型和规则，以便控制可以修改的位。有的是只读位，也有的是 OTP 位。

只读位永远不能被修改，另外 WRAR 命令中数据字节的相应位被忽略，并没有设置编程或擦除错误指示 （SR2V 中的 P_ERR 或 E_ERR）。因此， WRAR 数据字节中这些位的值并不重要。

OTP 位只能被编程为其默认状态的相反状态。将 OTP 位返回其默认状态的操作被忽略，并且不会设置错误。

WRAR 命令需要占用非易失性寄存器的写入时间 （t_W）来更新非易失性位的值。更新过程包括对非易失性寄存器中的位进行的擦除和编程操作。如果在更新过程中擦除或编程操作失败，则 SR2V 中的相关错误位和 SR1V 中的 WIP 位将被设置为 1。

WRAR 命令需要易失性寄存器的写入时间 （t_{CS}）来更新易失性位的值。

状态寄存器 1 被重复读取 （轮询），用以监控正在写入位 （SR1V[0]），从而确定是否完成了寄存器写入操作；并通过重复读取状态寄存器 2 的错误位 （SR2V[6、 5]）可确定是否发生写入故障。如果发生写入故障，需要使用清除状态命令来清除错误状态，使器件返回到待机状态。完成 WRAR 操作时，写入使能锁存 （WEL）位将被设置为 0。

但不能通过 WRAR 命令对 PR 寄存器进行写操作。PR 寄存器的内容是只读的。只有使用 NVLOCK 位写入（PRL）命令才可写入 PR 寄存器。

如果使用 WRAR 命令，对 SR1NV、CR1NV、CR2NV 和 CR3NV 的写操作不受硬件和软件复位的影响，但是对其它所有寄存器的写操作由于这两种复位而被复位。

WRAR 命令的序列和行为与 PP 或 4PP 命令相同，只是该命令能提供一个数据字节。请参考第 90 页上的 8.5.2 页编程 （PP 02h 或 4PP 12H）节。

寄存器的地址映射如第 77 页上的表 42 所示的内容一样。

8.3.16 设置突发长度 （SBL 77h）

设置突发长度 （SBL）命令用于配置回卷突发特性。在 QIO 或 QPI 模式下，可以将回卷突发特性同四线 I/O 读取和 DDR 四线 I/O 读取命令结合使用，用于访问长度固定并对齐的数据。某些应用可以利用该特性来提高整个系统代码执行的性能。通过回卷突发特性，使用缓存器的应用能够先将关键地址的指令或数据填充到第一个缓存行内，然后将长度固定的数据 （8/16/32/64 字节）填充到剩余的缓存行，而不需要发出多个读取命令。

通过将 CS# 引脚驱动为低电平，可以初始化设置突发长度命令，然后依次发送指令代码 “77h”、24 个虚拟位和 8 个循环长度位（WL[7]-WL[0]）。该命令序列如第 80 页上的图 61 和第 80 页上的图 62 中所示。循环长度位 WL[7] 和低位半字节 WL[3:0] 都不被使用。请参考第 34 页上的 6.6.5 配置寄存器 3 节中的配置寄存器 3 （CR3V[6:4]），了解有关 WL[6]-WL[4] 的编码。

一旦 WL[6:4] 位由设置突发长度命令设置时，则所有 “ 四线 I/O 读取 ” 命令都会使用 WL[6:4] 的设置来访问 8/16/32/64 字节的数据部分。请注意，必须将配置寄存器 1 的 Quad 位 CR1V[1] 或配置寄存器 2 的 QPI 位 CR2V[3] 置 1，以便能够使用四线 I/O 读取和设置突发长度命令。要想退出 “ 回卷 ” 模式并返回到正常的读取操作，需要发出另一个设置连续回卷命令，将 WL4 设为 1。在发生上电、硬件或软件复位事件时，WL[6:4] 的值和 CR2NV[6:5] 的值相同。请使用 WRR 或 WRAR 命令设置 CR2NV[6:2] 的默认回卷长度。

设置连续长度 （SBL）命令仅通过写入 CR3V[6:4] 位来使能或禁用回卷读取功能，并设置回卷边界。不能使用 SBL 命令来设置 CR3V[3:0] 中的读延迟。必须使用 WRAR 命令来设置 CR3V 或 CR3NV 中的读延迟。

请参考第 80 页上的表 43 一节中的 CR3V[6:5] 的值，以了解它们的回卷边界和起始地址。使能回卷读取功能时，会将相关读取命令从连续读取改变为对一组字节进行连续回卷读取，直到该命令停止为止。

未使能回卷模式时 （请参考第 35 页上的表 19 和第 38 页上的表 22），可以连续读取无限长度的数据。

回卷模式被使能时 （请参考表 19 和表 22），只能从读取命令提供的字节地址开始读取长度固定并对齐的 8、 16、 32 或 64 字节组，并且在该字节组边界中回卷。

字节组的长度和对齐情况都按 8、16、32 或 64 字节的边界实现。CR3V[6:5] 用于选择该边界。请参见第 38 页上的 6.6.5.2 易失性配置寄存器 3 （CR3V）节。

读取命令的起始地址选择了字节组，并且所返回的第一个数据是地址字节。然后，会连续读取各个字节，直到字节组边界结束为止。如果继续执行读取，则会返回到该组的起始地址，然后再次连续读取数据。该回卷读取序列会继续进行，直到将 CS# 返回高电平来停止该命令为止。

表 43. 连续回卷序列示例

CR3V 值（十六进制）	回卷边界（字节）	起始地址（十六进制）	地址序列 （十六进制）
1X	连续	XXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、 15、 16、 17、 18、 ...
00	8	XXXXXX00	00、 01、 02、 03、 04、 05、 06、 07、 00、 01、 02、 ...
00	8	XXXXXX07	07、 00、 01、 02、 03、 04、 05、 06、 07、 00、 01、 ...
01	16	XXXXXX02	02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、00、01、02、03、...
01	16	XXXXXX0C	0C、0D、0E、0F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、 0E、 ...
02	32	XXXXXX0A	0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、 0D、 0E、 0F、 ...
02	32	XXXXXX1E	1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、...
03	64	XXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、2E、2F、30、31、32、33、34、35、36、 37、 38、 39、 3A、 3B、 3C、 3D、 3E、 3F、 00、 01、 02、 ...
03	64	XXXXXX2E	2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、 22、 23、 24、 25、 26、 27、 28、 29、 2A、 2B、 2C、 2D、 ...

通过使用 WRAR 命令将 CR3NV 编程为所需的值，可以改变上电复位、硬件复位或软件复位的默认突发长度。

图 61. 四线 I/O 模式下的设置突发长度命令序列

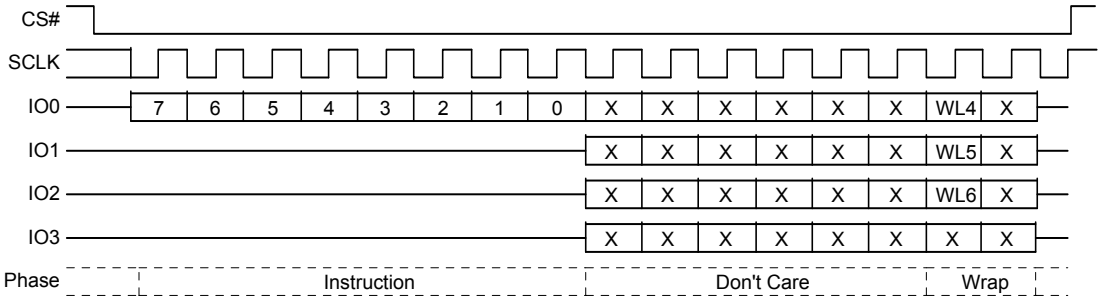
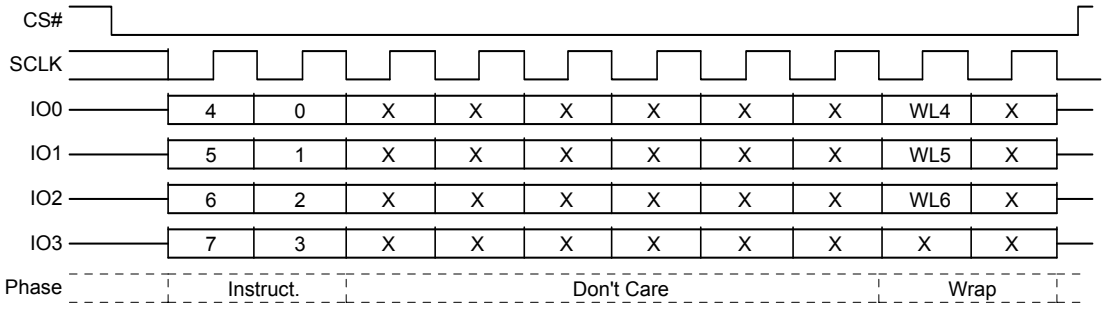


图 62. QPI 模式下的设置突发长度命令序列

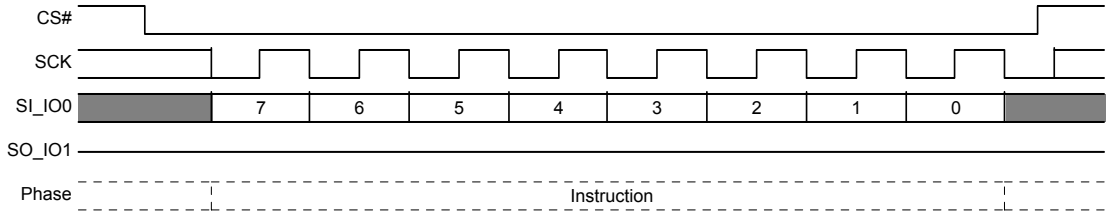


8.3.17 进入 QPI 模式 （QPIEN 38h）

进入 QPI 模式（QPIEN）命令可通过设置易失性 QPI 位（CR2V[3] = 1）来使能 QPI 模式。请参见第 33 页上的表 16。需要经过 t_{QEN} 时间使器件进入 QPI 模式，请参考第 141 页上的表 62，在这段时间内，不允许执行任意其他命令。

要想返回 SPI 模式，需要发出 QPIEX 命令或对寄存器进行写操作（CR2V[3] = 0）。如果清除非易失性 QPI 位（CR2NV[3] = 0），发生上电复位、硬件复位或者软件复位事件时也会使器件返回 SPI 模式。请参见第 32 页上的表 14。

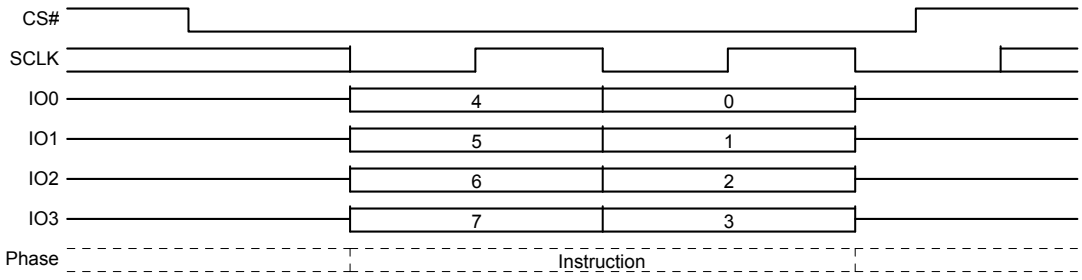
图 63. 进入 QPI 模式 （QPIEN 38h）命令序列



8.3.18 退出 QPI 模式 （QPIEX F5h）

退出 QPI 模式（QPIEX）命令通过设置易失性 QPI 位（CR2V[3] = 0）可以禁用 QPI 模式，并使器件返回 SPI 模式。请参见第 33 页上的表 16。需要经过 t_{QEX} 时间使器件退出 QPI 模式，请参考第 141 页上的表 62，在这段时间内，不允许执行任意其他命令。

图 64. 退出 QPI （QPIEX F5h）命令序列



8.4 读取闪存阵列命令

闪存主阵列的读取命令允许灵活地与前一代 SPI 相兼容或增大 SPI 性能：

- 某些命令可在每个 SCK 的上升沿上传输地址或数据。它们被称为单倍数据速率 （SDR）命令。
- 某些 SDR 命令可在每个 SCK 的下降沿上发送一位地址，并在 SCK 的上升沿上返回一位数据。它们被称为单比特宽命令。
- 某些 SDR 命令则在每个 SCK 的上升沿上发送双比特或 4 比特的地址和数据。它们被分别称为双线 I/O（针对双比特传输）和四线 I/O 和 QPI （针对 4 比特传输）。 QPI 也会在每个 SCK 的上升沿上发送 4 比特的指令。
- 某些命令可在 SCK 的双边沿上传输地址和数据。它们被称为双倍数据速率 （DDR）命令。
- 一些 DDR 命令可在 SCK 的任一边沿上发送 4 比特的地址或数据。它们被称为四线 I/O DDR 和 QPI DDR。

所有这些命令 （QPI 读取命令除外）都先发送指令代码，并且每一个 SCK 上升沿传输一位。 QPI 读取命令在每个 SCK 的上升沿上发送 4 比特的指令，然后 SDR 或 DDR 会发送 3 或 4 字节的地址。在每个时钟沿上传输双比特或 4 比特地址或数据的命令被称为多路 I/O （MIO）命令。对于 256 Mb 或容量更高的 FL-L 系列器件，传统的 SPI 3 字节地址不能直接对存储器阵列中的所有位置进行寻址。为了访问整个地址空间，已经提供了一些单独的 4 字节地址读取命令。将这些器件配置为能够从主机系统接收 4 字节地址，不像传统的命令那样只能接收 3 字节地址。通过将配置寄存器 2 中的地址长度位设置为 1，可以为传统命令激活 4 字节的地址模式。在 S25FL128L 中，4 字节地址命令中超过 A23 的高端地址位和使用 4 字节地址模式的命令互不相关，并且都被忽略。这是因为闪存阵列大小只有 128 Mb。

双线 I/O、四线 I/O 和 QPI 命令通过模式位 （该位在发送地址位后被发送）可以提高器件的性能。模式位指出下一个读取命令的类型是否与当前读取命令相同，因此在下个读取命令的开始无需包含指令。通过这些模式位，进行一系列的双线或四线读访问时可减少指令周期。

某些命令要求移入地址或模式位后需要添加延迟周期 （读取延迟），以便能够访问存储器阵列。读取延迟周期通常被称为虚拟周期。存储器忽略虚拟周期，因此主机在这些周期内发送的所有数据也被忽略 （“ 无需关注 ”），此时主机可以将 SI 信号保持为高阻抗状态。使用 MIO 命令时，主机必须在最后虚拟周期结束前停止驱动 I/O 信号 （各输出均为高阻抗状态）。使用 DDR 命令时，主机在任意虚拟周期内都不能驱动 I/O 信号。因为由配置寄存器 2 （CR3V[3:0]）延迟代码选定的 SCK 频率或性能不同，虚拟周期数量也不一样。虚拟周期指的是从 SCK 的下降沿到下一个 SCK 的下降沿。通常在每个 SCK 的下降沿上将 SPI 输出驱动到新的数值。需要零虚拟周期是因为在同一个 SCK 下降沿上，在存储器将数据返回给主机，同时主机停止发送地址或模式位。

DDR 命令可以在数据的开始前添加一个 8 边沿数据学习模式 （DLP），该 DLP 由存储器通过所有数据输出在虚拟周期内驱动的。通过 DLP，主机存储器控制器能够确定 SCK 与数据边沿之间的相移，从而存储器控制器可以在数据边沿的中心捕获数据。

在较高的 SCK 时钟频率 （> 50 MHz）下使用 SDR I/O 命令时，应选中提供了一个或多个虚拟周期的 LC，这样可以为主机提供额外的时间，使它在存储器开始发送数据前停止执行发送操作，以避免在 I/O 上发生冲突。如果使用使能了 DLP 的 SDR I/O 命令，应选中能够提供 5 个或多个虚拟周期的 LC，这样可以为主机提供一个周期时长的额外时间，使它在存储器开始发送 4 周期 DLP 前停止执行发送操作。

在数据返回的过程中，一旦 CS# 返回高电平会结束读取命令。在连续读取模式下或在虚拟周期中， CS# 不能在返回数据前变为高电平，否则会导致模式位被错误捕获，从而不能确定器件是否仍处于连续读取模式。

8.4.1 读取 （读取 03h 或 4READ 13h）

指令

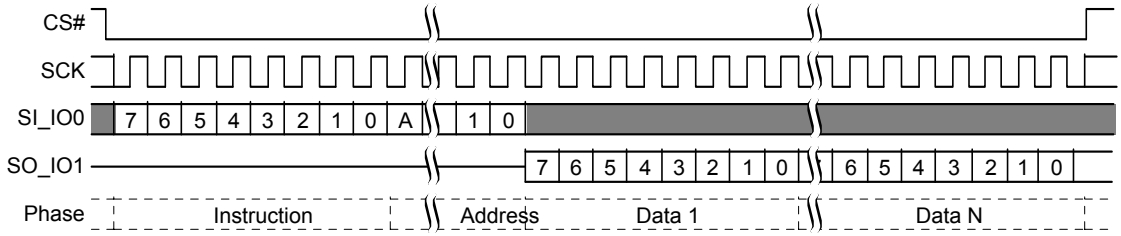
■03h （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或

■03h （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或

■13h （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0）
此时，存储器通过 SO/IO1 信号发送指定地址的内容。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样允许读取序列继续下去。

图 65. 读取命令序列



注释：
31. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 13h）。

8.4.2 快速读取 （FAST_READ 0Bh 或 4FAST_READ 0Ch）

指令

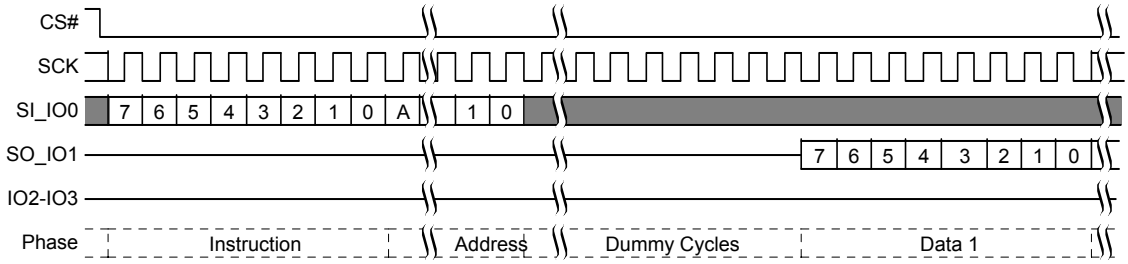
■0Bh （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或

■0Bh （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或

■0Ch 先被发送，然后轮到 4 字节地址 （A31-A0）
发送地址后会提供虚拟周期，该周期数量取决于配置寄存器 CR3V[3:0] 中所设置的延迟值。虚拟周期为器件的内部电路提供额外的时间，使之能够访问重要的地址位置。在这些延迟周期内，SO/IO1 上的所有数据均被忽略，并且该信号会保持为高阻抗状态。此时，存储器通过 SO/IO1 信号发送指定地址的内容。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样允许读取序列继续下去。

图 66. 快速度取 （FAST_READ）命令序列



注释：
32. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 0Ch）。

8.4.3 双线输出读取 （DOR 3Bh 或 4DOR 3Ch）

指令

■3Bh （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或

■3Bh （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或

■3Ch 先被发送，然后轮到 4 字节地址 （A31-A0）

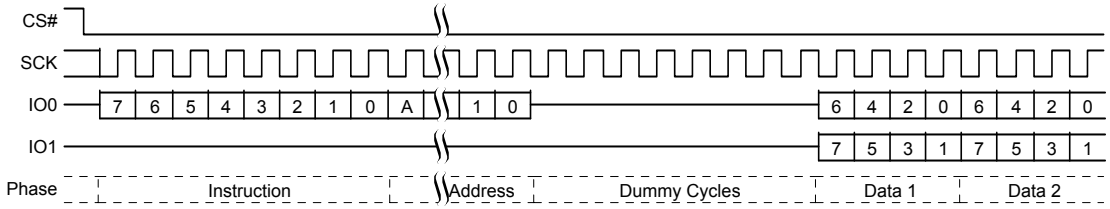
发送地址后会提供虚拟周期，该周期数量取决于配置寄存器 CR3V[3:0] 中所设置的延迟值。虚拟周期为器件的内部电路提供额外的时间，使之能够访问重要的地址位置。在这些虚拟周期内， IO0 （SI）和 IO1 （S0）上的所有数据均被忽略，并会保持为高阻抗状态。

此时，存储器通过IO0（SI）和IO1（SO）信号每次发送指定地址中的双比特数据。在SCK频率下，在SCK的下降沿上输出双比特数据。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样可使读取序列继续下去。

对于双线输出读取命令，从最后地址位移入 IO0 （SI）后到数据从 IO0 和 IO1 移出前，需要若干虚拟周期。

图 67. 双线输出读取命令序列



注释：

33. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 3Ch）。

8.4.4 双线输出读取 （QOR 6Bh 或 4QOR 6Ch）

指令

■6Bh （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或

■6Bh （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或

■6Ch 先被发送，然后轮到 4 字节地址 （A31-A0）

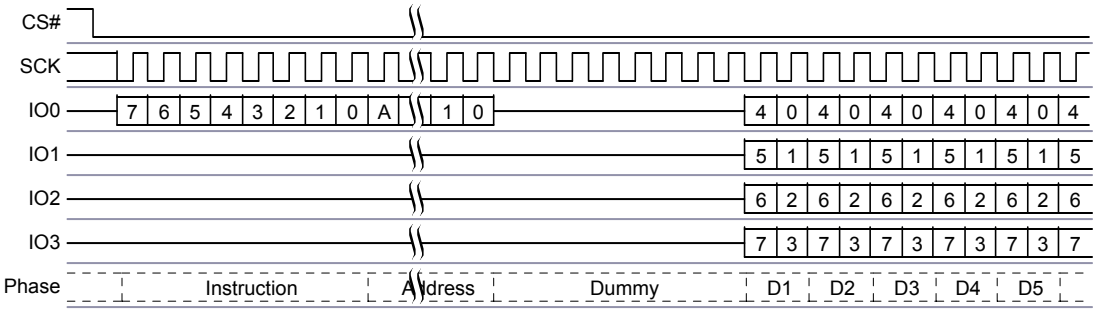
发送地址后会提供虚拟周期，该周期数量取决于配置寄存器 CR3V[3:0] 中所设置的延迟值。虚拟周期为器件的内部电路提供额外的时间，使之能够访问重要的地址位置。在这些虚拟周期内， IO0 - IO3 上的所有数据均被忽略，并且这些信号会保持为高阻抗状态。

此时，存储器通过 IO0 - IO3 信号每次发送指定地址中的四位数据。在 SCK 的下降沿上以 SCK 频率输出半字节 （4 位）。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样允许读取序列继续下去。

对于四线输出读取命令，从最后地址位移入 IO0 后到数据从 IO0 - IO3 移出前，需要若干虚拟周期。

图 68. 四线输出读取命令序列



注释：
34. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 =31 （若 CR2V[0] = 1 或命令 6Ch）。

8.4.5 双线 I/O 读取 （DIOR BBh 或 4DIOR BCh）

指令

■ BBh （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或

■ BBh （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或

■ BCh 先被发送，然后轮到 4 字节地址 （A31-A0）

双线 I/O 读取命令通过两个 I/O 信号，即 IO0 （SI）和 IO1 （SO）提高了吞吐量。该命令在每个 SCK 的上升沿上接收地址的输入，并返回两位读取数据。在某些应用中，减少地址输入和数据输出的时间会允许立即执行代码 （XIP），即直接从存储器件执行代码。

双线 I/O 读取命令中的连续读取模式位也位于地址后面；第一个双线读取命令发出模式位格式 Axh 来表示下一个命令也是双线 I/O 读取命令之后，一系列双线 I/O 读取命令可会清除 8 位指令。一系列双线 I/O 读取命令中的第一条命令的顺序为：8 位指令、地址、4 个模式位周期，最后是可选的延迟周期。如果模式位格式为 Axh，假设下个命令是不提供指令位的其他双线 I/O 读取命令。该命令的组成部分分别为地址、模式位和可选的延迟。

从模式位移入 SI 和 SO 后到数据从 IO0 和 IO1 移出前，需要添加可变的延迟。这样，器件的内部电路会有足够的时间来访问初始地址中的数据。在这些延迟周期内， SI 和 SO 上的所有数据均被忽略，并且这些信号会保持为高阻抗状态。虚拟周期的数量由 SCK 的频率确定。该延迟在 CR3V[3:0] 中进行配置。

凭借连续读取特性，在读访问的序列中无需读取指令位，这样能够明显提高代码执行 （XIP）的性能。模式位的高位半字节 （位 7-4）通过添加或清除第一个字节指令代码来控制下一个双线 I/O 读取命令的长度。模式位的低位半字节 （位 3-0）则被忽略 （使用 “x” 表示），并保持为高阻抗状态。如果模式位为 Axh，则器件仍处于双线 I/O 连续读取模式，并且在 CS# 被驱动为高电平，再被确认为低电平后能够移入下一个地址 （而不需要读取 BBh 或 BCh 指令 （如图 70 所示））；这样可以消除命令序列中的 8 个周期。发生以下情况时会使器件退出双线 I/O 连续读取模式；然后器件可以接收标准的 SPI 命令：

1. 在执行双线 I/O 连续读取命令序列过程中，如果模式位为非 Axh 值，则下次将 CS# 驱动为高电平时会使器件退出双线 I/O 连续读取模式。
2. 发送模式复位命令。

请注意，最后的读取地址周期被定时在 IO0（S）和 IO1（SO）后，器件的内部电路需要 4 个模式位周期的延迟时间来访问初始地址。

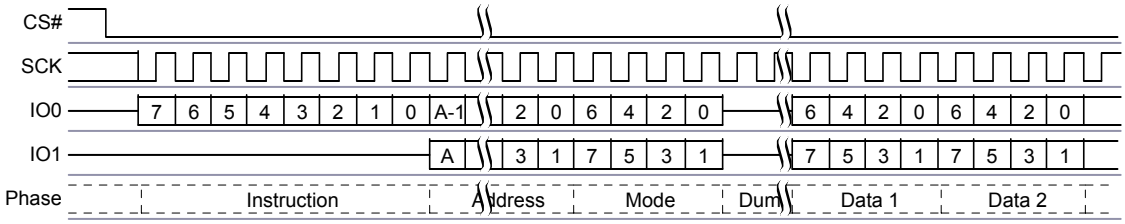
在第一个数据移出的时钟的下降沿上 （或之前），必须将 I/O 信号设为高阻抗状态。在更高的时钟速度下，存储器件开始发送数据前需要停止主机传输数据的时间 （即总线周转时间）被减少。这样，主机系统可以在最后两个 “ 无需关注 ” 的模式周期中或在任意虚拟周期内停止通过 I/O 信号发送数据 （将它们保持为高阻抗状态），从而避免在 I/O 信号上发生冲突。

该延迟周期结束后，存储器便通过 IO0 （SI）和 IO1 （SO）信号每次发送指定地址中的双比特数据。以 SCK 频率，在 SCK 的下降沿上将输出双比特数据。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样允许读取序列继续下去。

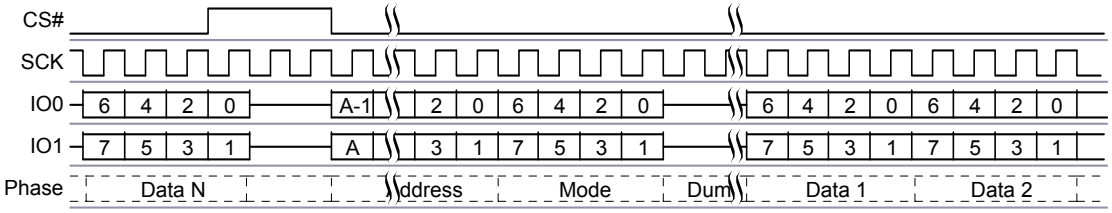
在模式 / 虚拟位周期内不应该将 CS# 驱动为高电平，否则会使这些模式位的状态不确定。

图 69. 双线 I/O 读取命令序列



注释：
35. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 =31 （若 CR2V[0] = 1 或命令 BCh）。
36. 4 个最低有效模式位均被忽略，主机可以选择发送这些位。主机在这些周期内会停止发送数据，以便延长从主机发送模式位到存储器返回数据之间总线周转的时间。

图 70. 双线 I/O 连续读取命令序列



注释：
37. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 =31 （若 CR2V[0] = 1 或命令 BCh）。

8.4.6 四线 I/O 读取 （QIOR EBh 或 4QIOR ECh）

指令

- EBh （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或
- EBh （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或
- ECh 先被发送，然后轮到 4 字节地址 （A31-A0）

由于四线 I/O 读取命令使用了四个 I/O 信号 （IO0-IO3），因而提高了吞吐量。这样，可以在每个串行时钟 SCK 的边沿上移入 4 比特地址。在某些应用中，通过降低指令的开销，可以直接从 FL-L 系列器件执行代码 （XIP） 。必须设置配置寄存器 1 的 QUAD 位 （CR1V[1] = 1）或配置寄存器 2 的 QPI 位 （CR2V[1] = 1），以使能 FL-L 系列器件的四线模式。

执行四线 I/O 读取命令时，移入模式位后 （如下所述）到通过 IO0-IO3 开始移出数据前需要添加一个延迟周期。该延迟周期 （虚拟周期）为器件的内部电路提供了所需时间，用于访问初始地址的数据。在这些延迟周期内， IO0-IO3 上的数据值均被忽略，并且这些信号会保持为高阻抗。虚拟周期的数量由 SCK 的频率确定。该延迟在 CR3V[3:0] 中进行配置。

该延迟周期结束后，存储器便通过 IO0-IO3 信号每次发送指定地址中的四比特数据。在 SCK 信号的下降沿上以 SCK 频率移出半字节 （4 位）。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样可使读取序列继续下去。

不需要添加四线 I/O 读指令仍能跳到其他地址。通过设置地址序列后的模式位（如第 87 页上的图 71 所示），可以控制该操作。凭借这个附加的特性，无需读取指令序列，这样可明显提高代码执行 （XIP）的能力。模式位的高位半字节 （位 7-4）通过添加或清除第一个字节指令代码来控制下一个四线 I/O 指令的长度。模式位的低位半字节 （位 3-0）被忽略 （使用 “x” 表示）。如果模式位为 Axh，则器件仍处于四线 I/O 高性能读取模式，并且在 CS# 被驱动为高电平，然后再被确认为低电平后，能够移入下一个地址 （不需要读取 EBh 或 ECh 指令 （如第 88 页上的图 73 所示））。这样可以消除命令序列中的 8 个周期。发生以下情况时会使器件退出四线 I/O 高性能读取模式；然后器件可以接收标准的 SPI 命令：

1. 在执行四线 I/O 读取命令序列过程中，如果模式位为非 Axh 的值，则下次将 CS# 驱动为高电平时会使器件退出四线 I/O 高性能读取模式。
2. 发送模式复位命令。

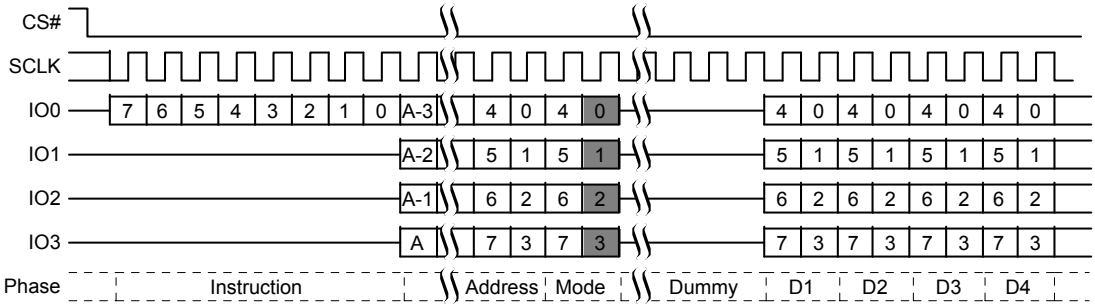
请注意，最后的读取地址周期被定时在 IO0-IO3 后，器件的内部电路需要两个模式位时钟周期和额外的等待时间 （即虚拟周期）来访问初始地址。

应注意，在第一个数据移出的时钟的下降沿上 （或之前），必须将 IO0-IO3 信号设为高阻抗状态。在更高的时钟速度下，存储器件开始发送数据前需要停止主机传输数据的时间 （即总线周转时间）被减少。这样，主机系统可以在最后 “ 无需关注 ” 的模式周期内或在任意虚拟周期内停止通过 IO0-IO3 信号发送数据 （将它们保持为高阻抗），从而避免在 IO0-IO3 信号上发生冲突。

在模式 / 虚拟位周期内不应该将 CS# 驱动为高电平，否则会使这些模式位的状态不确定。

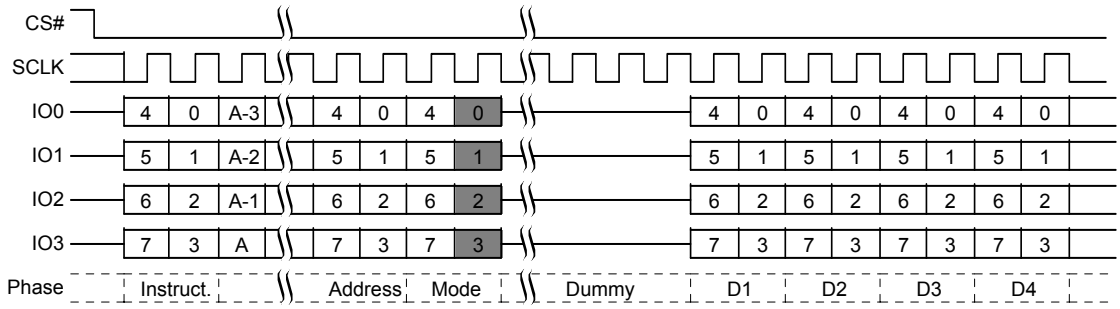
在 QPI 模式下 （CR2V[3] = 1），四线 I/O 指令都会在每个 SCK 的上升沿上发送 4 比特信息。该命令协议的其余部分和四线 I/O 命令完全相同。

图 71. 初始访问的四线 I/O 读取命令序列



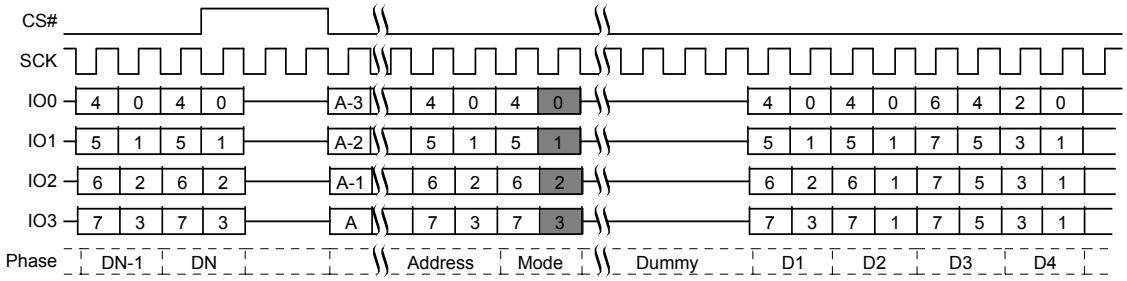
注释：
38. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 ECh）。

图 72. 在 QPI 模式下初始访问的四线 I/O 读取命令序列



注释：
39. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 ECh）。

图 73. 四线 I/O 连续读取命令序列



注释：
40. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 ECh）。
41. 在 QPI 模式下，命令序列也相同。

8.4.7 DDR 四线 I/O 读取 （EDh、 EEh）

DDR 四线 I/O 读取命令因为使用了四个 I/O 信号（IO0-IO3），从而提高了吞吐量。它和四线 I/O 读取命令相同，但仍允许在每个时钟沿上移入 4 比特地址。在某些应用中，降低指令的开销，可以直接从 FL-L 系列器件执行代码（XIP）。必须设置配置寄存器 1 的 QUAD 位 （CR1V[1] = 1）或配置寄存器 2 的 QPI 位 （CR2V[1] = 1），以使能 FL-L 系列器件的四线模式。

指令

- EDh （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或
- EDh （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或
- EEh 先被发送，然后轮到 4 字节地址 （A31-A0）

先发送地址，然后发送模式位。在 DDR 模式下，存储器通过 IO0 - IO3 信号每次在一个时钟沿上发送特定地址中的四比特数据。

DDR 四线 I/O 读取命令的最大工作时钟频率为 66 MHz。

执行 DDR 四线 I/O 读命令时，通过 IO0-IO3 移入最后地址和模式位后到数据从 IO0-IO3 开始移出前，需要添加一个延迟周期。这样，器件的内部电路会有足够的时间来访问初始地址的数据。在这些延迟周期内， IO0-IO3 上的数据值均被忽略，并且这些信号会保持为高阻抗状态。使能数据学习模式 （DLP）时，主机不能在虚拟周期内驱动 IO 信号，而必须将它保持为高阻抗状态，以便存储器件能够驱动 DLP。

虚拟周期的数量由 SCK 的频率确定。该延迟在 CR3V[3:0] 中进行配置。

通过模式位，一系列 DDR 四线 I/O 命令可以在第一条命令发送一个互补模式位格式后消除 8 位指令。由于具备该特性，因此不需要 8 位 SDR 指令，并且能够大量减少最初的访问时间 （提高 XIP 性能）。模式位通过添加或清除第一个字节指令代码来控制下一个 DDR 四线 I/O 读取操作的长度。如果模式位的高位半字节 （IO[7:4]）和低位半字节 （IO[3:0]）是互补的 （即 5h 和 Ah），那么器件会切换为 DDR 四线 I/O 连续读取模式，并且能够在 CS# 被驱动为高电平再被确认为低电平后读取下一个地址 （不需要读取 EDh 或 EEh 指令），从而可以清除命令序列的 8 个周期。发生以下情况时会使器件退出 DDR 四线 I/O 连续读取模式；然后器件可以接收标准的 SPI 命令：

1. 在执行 DDR 四线 I/O 读取命令序列过程中，如果模式位不是互补的，则下次 CS# 被驱动为高电平然后再被确认为低电平时会使器件退出 DDR 四线 I/O 读取模式。
2. 发送模式复位命令。

该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取命令和已给的地址 000000h，便可以读取整个存储器空间。当到达最高地址时，地址计数器翻转到起始地址 000000h，这样允许读取序列继续下去。

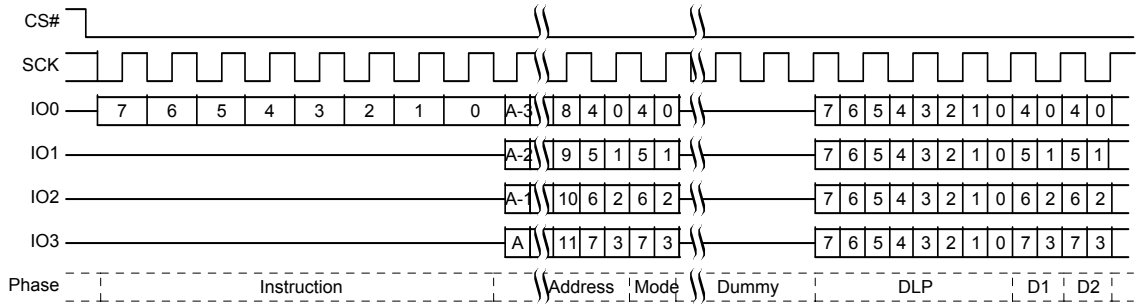
在模式 / 虚拟位周期内不应该将 CS# 驱动为高电平，否则会使这些模式位的状态不确定。请注意，存储器件在发送第一个数据值前先在 IO 信号上发送一个前导码。前导码是一个数据学习模式（DLP），主机控制器通过它使数据捕获在更高的频率下得到优化。数据被输出前，前导码会立即驱动 IO 总线上四个时钟周期。请确保主机在存储器开始发送前导码前已经停止驱动 IO 总线。

前导码用于向主机控制器表示从主机驱动一个时钟沿到存储器件返回相应数据的完整时间。主机控制器会在前导码期间使数据捕获点偏移，以便优化时序容限，然后使用同样的偏移时间捕获读取操作其余部分的数据。在所有读取操作的前导码期间，都可确定得到优化的数据捕获点。该优化特性不但能补偿存储器件和主机控制器的 PVT （处理过程、电压、温度），还可以补偿 PCB 板上数据传送时间所导致的系统级延迟。

虽然数据学习模式 （DLP）是可编程的，但以下显示的是 DLP 为 34h 的示例。 DLP 34h （或 00110100）是在每个活跃的输出 （即所有四个 IO）上被发送的。选中该模式以包含 “DC” 和 “AC” 的数据切换情况。两个 DC 切换情况包括：数据在较长时间 （2.5 个时钟周期）内为低电平，然后切换为高电平 （001）；互补低电平切换 （110）。两个 AC 切换情况包括：数据在较短时间 （1.5 个

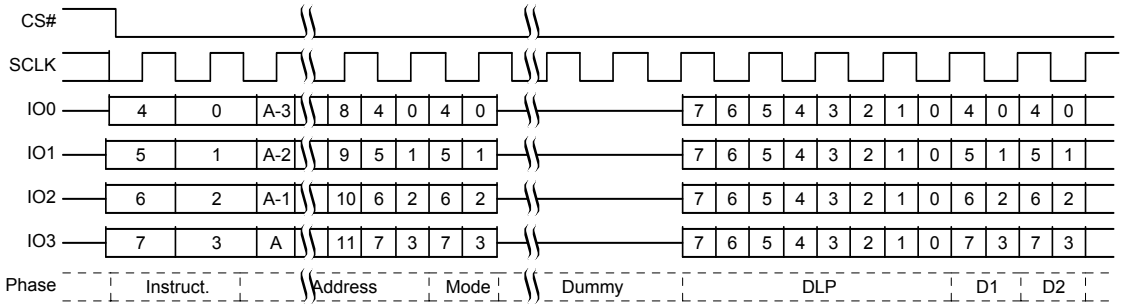
时钟周期）内为低电平，然后切换为高电平（101）；互补低电平切换（010）。与 AC 切换相比，直流切换通常在更接近于电源轨的起始点上发生。在该起始点上， AC 切换的电源未达到稳定状态。在多种情况下，直流切换决定了数据有效期间的开始，交流切换则决定了数据有效期间的结束。通过这些切换，主机控制器可以确定数据有效眼图的开始和结束。一旦确认了数据眼图，便可以选中最佳的数据捕获点。在 QPI 模式下 （CR2V[3] = 1）， DDR 四线 I/O 指令都会在每个 SCK 的上升沿上发送 4 比特的信息。该命令协议的其余部分和 DDR 四线 I/O 命令完全相同。

图 74. DDR 初始访问的四路 I/O 读取命令序列



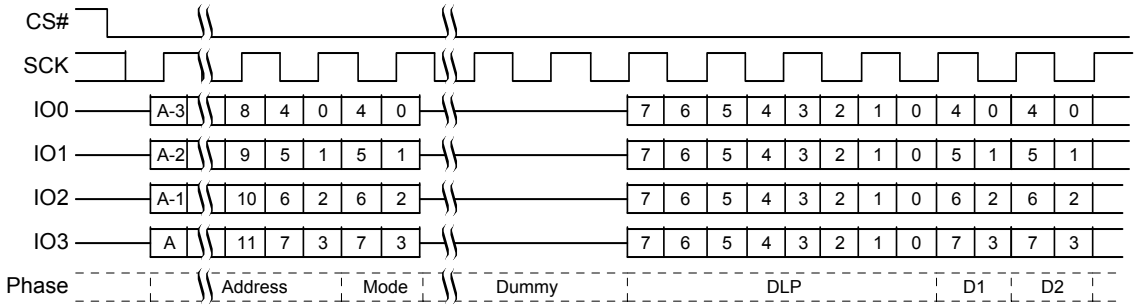
注释：
42. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 EEh）。
43. DLP 为 34h （或 00110100）的示例

图 75. 在 QPI 模式下初始访问的 DDR 四线 I/O 读取命令序列



注释：
44. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 EEh）。
45. DLP 为 34h （或 00110100）的示例。

图 76. 后续访问的 DDR 四线 I/O 连续读取序列



注释：
46. A = 地址的 MSb = 23 （若 CR2V[0] = 0），或 = 31 （若 CR2V[0] = 1 或命令 EEh）。
47. 在 QPI 模式下，命令序列也相同。
48. DLP 为 34h （或 00110100）的示例。

8.5 编程闪存阵列命令

8.5.1 编程粒度

8.5.1.1 页编程

通过将需要编程的数据加载到页缓冲区，并发送编程命令将缓冲区中的数据传输到存储器阵列内，这样可以实现页编程操作。该操作设置了通过单个编程命令可以编程的数据量的上限。每次最多可编程一页大小 （256 字节）。该页在页大小地址边界上对齐。每次进行页编程操作，可以编程一位到一页的空间。为达到最佳性能，应在 256 字节边界上一次性完成整页 256 字节对齐的编程操作，并且每页仅被编程一次。

8.5.1.2 单字节编程

单字节编程通过允许在存储器阵列中的任何位置内编程单个字节，因此该操作与传统标准 SPI 页编程 （PP）命令完全向后兼容。

8.5.2 页编程 （PP 02h 或 4PP 12H）

通过页编程 （PP）命令，可在存储器中进行字节编程 （将各个位值从 1 改成 0）。接收页编程 （PP）命令前，器件必须发送写入使能 （WREN）命令，并对其进行解码。成功解码写入使能 （WREN）命令后，器件将设置状态寄存器中的写入使能锁存 （WEL）位，以使能任意写入操作。

指令

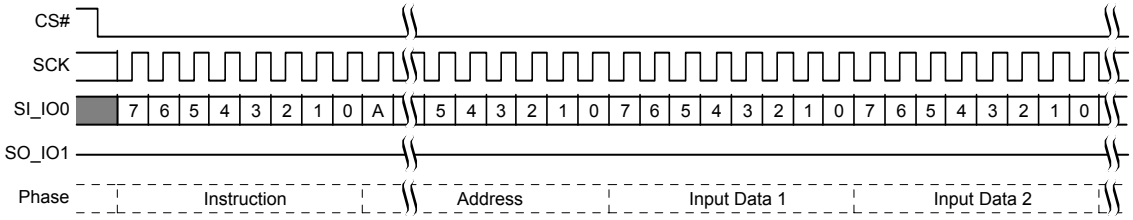
- 02h （CR2V[0] = 0）先被发送，然后是 3 字节地址 （A23-A0），或
- 02h （CR2V[0] = 1）先被发送，然后是 4 字节地址 （A31-A0），或
- 12h 先被发送，然后轮到 4 字节地址 （A31-A0）

并且 SI/IO0 信号上至少有一个数据字节。通过传送指令 02h 后再传送 3 字节地址或通过传送指令 12h 后再传送 4 字节地址，可在 SI/IO0 发送多达一页的空间。对于写入和擦除命令，锁存最后字节的第 8 位后，必须将 CS# 引脚驱动为高电平。否则，不能执行页编程命令。将 CS# 信号驱动为高电平后，可在 t_{PP} 时间内开始自定时页编程命令。

同将部分页加载到编程缓冲区内相比，通过页编程 （PP）命令加载页边界内的整页，会节省整个编程时间。

编程过程由闪存存储器器件的内部控制逻辑管理。发送编程命令后，可使用读取状态寄存器 1 命令检查编程操作状态。 WIP 位 （SR1V[0]）指出了编程操作是否完成。 P_ERR 位 （SR2V[5]）指出该编程操作是否存在错误 （如果发生该错误，编程操作无法成功完成）。它包括保护区的尝试编程。

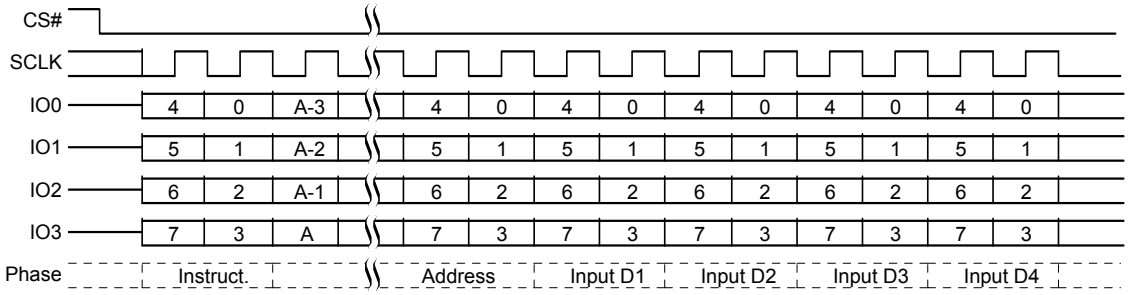
图 77. 页编程 （PP 02h 或 4PP 12H）命令序列



注释：
49. A = 地址的 MSb = A23 （在 PP 02h 和 CR2V[0] = 0 条件下），或 = A31 （在 PP 02h 和 CR2V[0] = 1，或 4PP 12h 条件下）。

该命令也支持 QPI 模式。在 QPI 模式下，指令、地址和数据将通过 IO0-IO3 信号传入到芯片内。

图 78. QPI 模式下的页编程 （PP 02h 或 4PP 12H）命令序列



注释：
50. A = 地址的 MSb = A23 （在 PP 02h 和 CR2V[0] = 0 条件下），或 = A31 （在 PP 02h 和 CR2V[0] = 1，或 4PP 12h 条件下）。

8.5.3 四线页编程 （QPP 32h 或 4QPP 34h）

通过四线输入页编程 （QPP）命令，可在存储器中进行字节编程 （将各个位值从 1 改成 0）。四线输入页编程 （QPP）命令允许通过使用四个信号（IO0-IO3）将一个数据页加载到页缓冲区内。通过在每个时钟周期内加载 4 位数据，QPP 可以提高具有更慢时钟速度 （< 12 MHz）的 PROM 编程器和各个应用的性能。因为内在的页编程时间大于时钟数据所需的时间，所以具有更高时钟频率的系统体现不了 QPP 命令所带来的好处。 QPP 命令的最大频率为 133 MHz。

要想使用四线页编程命令，必须设置配置寄存器中的四线使能位（QUAD = 1）。接收 QPP 命令之前，器件要执行写入使能命令（状态寄存器 1 的 WEL = 1）。

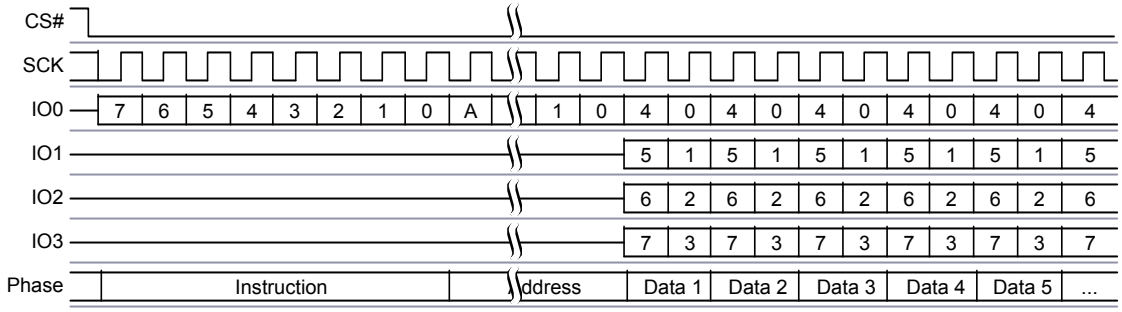
指令

- 32h （CR2V[0] = 0）先被发送，然后轮到 3 字节地址 （A23-A0），或
- 32h （CR2V[0] = 1）先被发送，然后轮到 4 字节地址 （A31-A0），或
- 34h 先被发送，然后轮到 4 字节地址 （A31-A0）

并且在 IO 信号上，至少有一个数据字节。必须在先前被擦除的 （FFh）存储器位置中编程数据。

QPP 的所有其他功能与页编程的相同。 QPP 命令序列如下面图所示。

图 79. 四线页编程命令序列



注释：
51. A = 地址的 MSb = A23 （在 QPP 32h 和 CR2V[0] = 0 条件下）或 = A31 （在 QPP 32h 和 CR2V[0] = 1，或 4QPP 34h 条件下）

8.6 擦除闪存阵列命令

8.6.1 扇区擦除 （SE 20h 或 4SE 21h）

扇区擦除 （SE）命令将地址扇区中的所有位设置为 1 （这样所有字节均为 FFh）。接收扇区擦除 （SE）命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。这样将设置状态寄存器中的写入使能锁存 （WEL）位，以使能所有写入操作。

指令

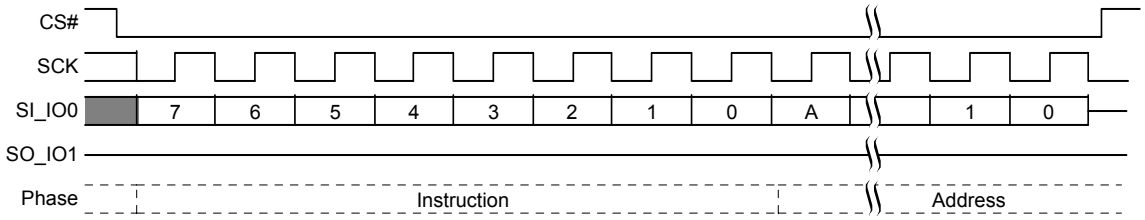
- 20h[CR2V[0] = 0] 先被发送，然后轮到 3 字节地址 （A23-A0），或
- 20h[CR2V[0] = 1] 先被发送，然后轮到 4 字节地址 （A31-A0），或
- 21h 先被发送，然后轮到 4 字节地址 （A31-A0）

地址的第 24 或第 32 位通过 SI/IO0 被锁存在芯片内后，必须将 CS# 信号驱动为逻辑高电平状态。该操作将启动内部擦除周期，包括预编程和擦除闪存存储器阵列的已选扇区。如果锁存地址的最后一位之后未将 CS# 驱动为高电平，则不会执行扇区擦除操作。

将 CS# 信号驱动为高电平后，将启动内部擦除周期。在内部擦除周期中，用户可以读取正在进行写入操作 （WIP）位的值，从而确定该操作是否完成。在擦除周期期间， WIP 位将为 1 ；在擦除周期完成后，该位显示为 0。

用于一个扇区的 SE 或 4SE 命令不被执行，而用于设置 E_ERR 状态（该扇区通过传统的块保护、单独块锁定或指针区域保护得到写入保护）。

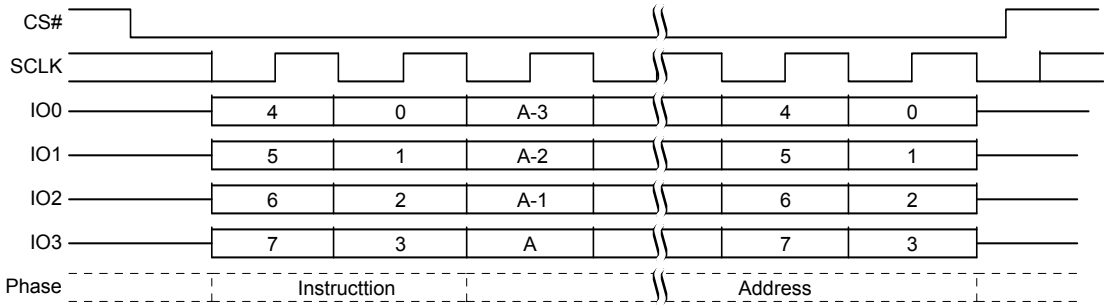
图 80. 扇区擦除 （SE 20h 或 4SE 21h）命令序列



注释：
52. A = 地址的 MSb = A23 （在 SE 20h 和 CR2V[0] = 0 条件下），或 = A31 （在 SE 20h 和 CR2V[0] = 1 或 4SE 21h 条件下）。

该命令也支持 QPI 模式。在该模式下，指令、地址和数据通过 IO0-IO3 信号被传入到芯片内。

图 81. 扇区擦除 （SE 20h 或 4SE 21h）的 QPI 模式命令序列



注释：
53. A = 地址的 MSb = A23 （在 SE 20h 和 CR2V[0] = 0 条件下），或 = A31 （在 SE 20h 和 CR2V[0] = 1 或 4SE 21h 条件下）。

8.6.2 半块擦除 （HBE 52h 或 4HBE 53h）

半块擦除 （HBE）命令将地址半块中的所有位设置为 1（这样所有字节均为 FFh）。接收半块擦除 （HBE）命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。这样将设置状态寄存器中的写入使能锁存 （WEL）位，以使能所有写入操作。

指令

- 52h[CR2V[0] = 0] 先被发送，然后轮到 3 字节地址 （A23-A0），或
- 52h[CR2V[0] = 1] 先被发送，然后轮到 4 字节地址 （A31-A0），或
- 53h 先被发送，然后轮到 4 字节地址 （A31-A0）

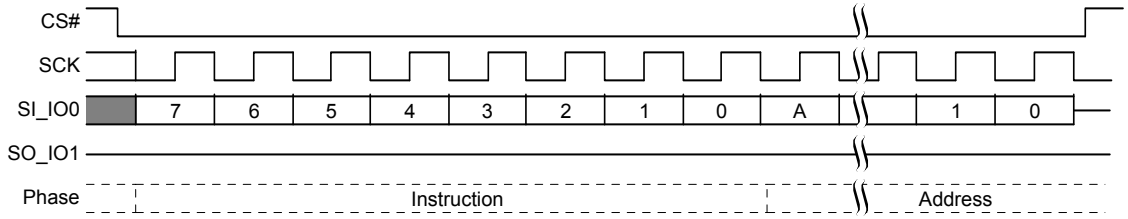
地址的第 24 或第 32 位通过 SI/IO0 锁存在芯片内之后，必须将 CS# 信号驱动为逻辑高电平状态。该操作将启动擦除周期，包括预编程和擦除已选模块的每个扇区。如果锁存地址的最后位后未将 CS# 驱动为高电平，则半块擦除操作将不被执行。

将 CS# 信号驱动为逻辑高电平状态后，将启动内部擦除周期。在内部擦除周期中，用户可以读取正在写入 （WIP）位的值，从而检查该操作是否完成。在擦除周期期间， WIP 位将为 1 ；在擦除周期完成后，该位显示为 0。

不会将半块擦除 （HBE）命令应用于于整块 （该数据块通过传统的块保护、单独块锁定或指针区域保护得到写入保护），而使用它设置 E_ERR 状态。

如果使用了半块擦除命令并且半块擦除区中的任意区域、扇区或块得到保护，那么将不会在 32 KB 范围内执行擦除操作，但会设置 E_ERR 状态。

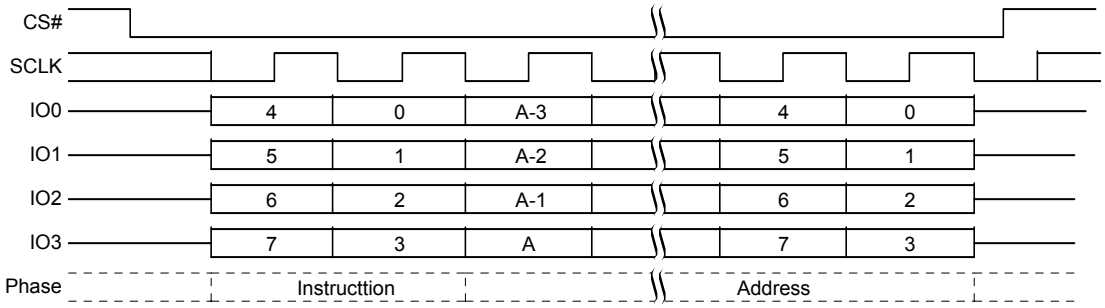
图 82. 半块擦除 （HBE 52h 或 4HBE 53h）命令序列



注释：
54. A = 地址的 MSb = A23 （在 HBE 52h 和 CR2V[0] = 0 条件下），或 = A31 （在 HBE 52h 和 CR2V[0] = 1 或 4HBE 53h 条件下）。
55. A[15] = 0 时，将擦除块的扇区 0-7 ； A[15] = 1 时，则擦除块的扇区 8-15。

该命令也支持 QPI 模式。在该模式下，指令、地址和数据通过 IO0-IO3 信号被传入到芯片内。

图 83. QPI 模式下的半块擦除 （HBE 52h 或 4HBE 53h）命令序列



注释：
56. A = 地址的 MSb = A23 （在 HBE 52h 和 CR2V[0] = 0 条件下），或 = A31 （在 HBE 52h 和 CR2V[0] = 1 或 4HBE 53h 条件下）。
57. A[15] = 0 时，将擦除块的扇区 0-7； A[15] = 1 时，则擦除块的扇区 8-15。

8.6.3 块擦除 （BE D8h 或 4BE DCh）

块擦除（BE）命令将地址块中的所有位设置为 1（所有字节均为 FFh）。接收块擦除（BE）命令前，器件必须发送写入使能（WREN）命令并对其进行解码。这样将设置状态寄存器中的写入使能锁存 （WEL）位，以使能所有写入操作。

指令

- D8h[CR2V[0] = 0] 先被发送，然后轮到 3 字节地址 （A23-A0），或
- D8h[CR2V[0] = 1] 先被发送，然后轮到 4 字节地址 （A31-A0），或
- DCh 先被发送，然后轮到 4 字节地址 （A31-A0）

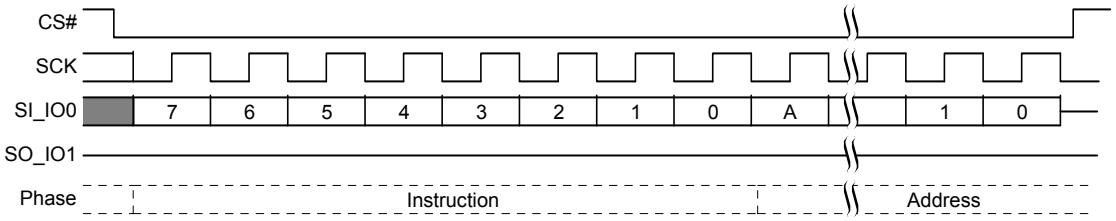
地址的第 24 或第 32 位通过 SI/IO0 锁存在芯片内后，必须将 CS# 信号驱动为逻辑高电平状态。该操作将启动擦除周期，包括预编程和擦除已选模块的每个扇区。如果锁存地址的最后位后未将 CS# 驱动为高电平，将不执行块擦除操作。

将 CS# 信号驱动为逻辑高电平状态后，将启动内部擦除周期。在内部擦除周期中，用户可以读取正在写入 （WIP）位的值，从而检查该操作是否完成。在擦除周期期间， WIP 位将为 1 ；在擦除周期完成后，该位显示为 0。

用于整块的块擦除 （BE）命令不被执行 （该模块通过传统的模块保护、单独模块锁定或指针区域保护得到写入保护），而且该命令将设置 E_ERR 状态。

如果使用块擦除命令，但任意区域或扇区得到保护，那么将不在 64 KB 范围内进行擦除操作，并会设置 E_ERR 状态。

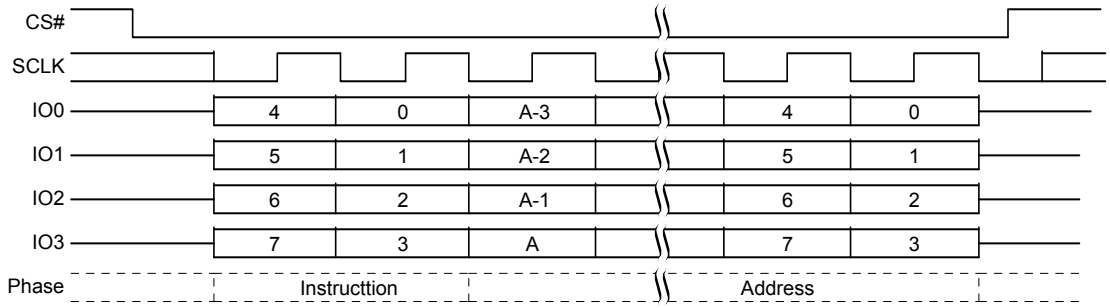
图 84. 块擦除 （BE D8h 或 4BE DCh）命令序列



注释：
58. A = 地址的 MSb = A23 （在 BE D8h 和 CR2V[0] = 0 条件下），或 = A31 （在 BE D8h 和 CR2V[0] = 1，或 4BE DCh 条件下）。

该命令也支持 QPI 模式。在该模式下，指令、地址和数据通过 IO0-IO3 信号被传入到芯片内。

图 85. QPI 模式下的块擦除 （BE D8h 或 4BE DCh）命令序列



注释：
59. A = 地址的 MSb = A23 （在 BE D8h 和 CR2V[0] = 0 条件下），或 = A31 （在 BE D8h 和 CR2V[0] = 1，或 4BE DCh 条件下）。

8.6.4 芯片擦除 （CE 60h 或 C7h）

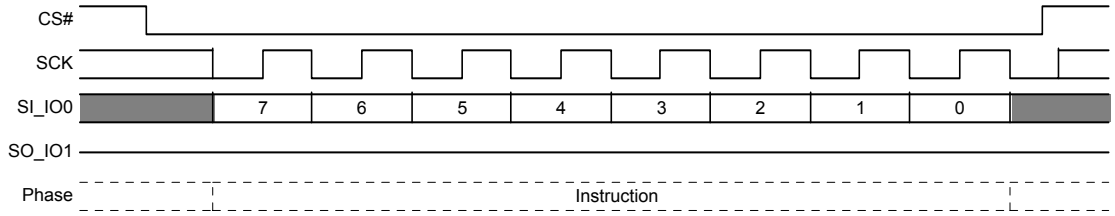
在整个闪存寄存器阵列中，芯片擦除 （CE）命令将所有位设置为 1（所有字节均为 FFh）。接收 CE 命令之前，器件必须发送写入使能 （WREN）命令并对其进行解码。该器件也设置状态寄存器中的写入使能锁存 （WEL）命令，以使能所有操作。

指令字节的第 8 位通过 SI/IO0 锁存在芯片内之后，必须将 CS# 信号驱动为逻辑高电平状态。该操作将导致擦除周期发生，该周期包含对整个闪存存储器阵列的预编程和擦除。如果锁存指令的最后位之后未将 CS# 驱动为高电平，则不会执行 CE 操作。

一将 CS# 信号驱动为逻辑高电平状态，就发生擦除周期。在擦除周期过程中，用户可以读取正在写入 （WIP）位的值，从而确定该操作是否完成。在擦除周期期间， WIP 位将为 1 ；在擦除周期完成后，该位显示为 0。

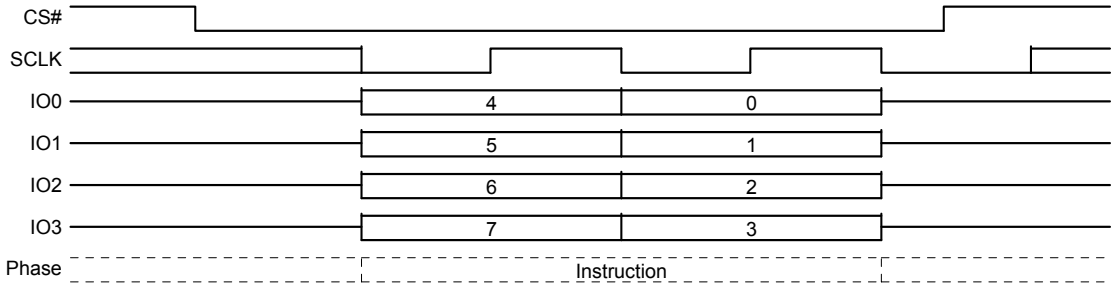
当设置传统块保护、单独块锁定或指针区域保护来保护任何扇区或块时， CE 命令将不被执行，但会设置 E_ERR 状态位。

图 86. 芯片擦除命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 87. QPI 模式下的芯片擦除命令序列



8.6.5 编程或擦除挂起 （PES 75h）

通过 PES 命令，系统可中断编程或擦除操作，然后对任何其他非擦除挂起扇区或非编程挂起页进行读取。仅在编程或扇区擦除、半块擦除或块擦除操作过程中，编程或擦除挂起有效。而却不可挂起芯片擦除操作。

必须检查状态寄存器 1 中的正在写入位 （SR1V[0]），以了解编程或擦除操作停止的时间。可以使用状态寄存器 2 （SR2[0]）中的编程挂起状态位来指出编程操作在 WIP 位改成 0 时被挂起还是完成。同样，可以使用状态寄存器 2 （SR2[1]）中的擦除挂起状态位来确定擦除操作在 WIP 位改成 ‘0’ 时已被挂起还是完成。挂起操作完成所需的时间为 t_{SL}，请参见第 146 页上的表 65。

可挂起擦除操作以执行编程或读取操作。在擦除挂起过程中，可通过对 IBL 阵列的读取来检查扇区的保护，并可通过对其的写入来对被编程的扇区进行删除或恢复保护。恢复操作时，保护位不被重新检查，所以所进行的任何修改将不影响操作过程中的当前值。

可挂起编程操作来执行读取操作。

在已挂起擦除或编程操作中不允许执行新的挂起操作。在此情况下，挂起命令将被忽略。

表 44. 在编程或擦除挂起时可执行的命令

指令名称	指令代码（十六进制）	在擦除挂起期间可用	在编程挂起期间可用	注释
READ	03	X	X	在挂起期间中可执行所有阵列读取操作
RDSR1	05	X	X	读取 WIP 以确定挂起期间是否结束的方法
RDAR	65	X	X	读取 WIP 以确定挂起期间是否结束的其他方法
RDSR2	07	X	X	用于读取挂起状态，以确定操作仍被挂起还是已经完成。
RDCR1	35	X	X	用于读取配置寄存器 1
RDCR2	15	X	X	用于读取配置寄存器 2
RDCR3	33	X	X	用于读取配置寄存器 3
RUID	4B	X	X	用于读取唯一 ID
RDID	9F	X	X	用于读取器件 ID
RDQID	AF	X	X	用于四线读取器件 ID
RSFDP	5A	X	X	用于读取 SFDP
SBL	77	X	X	用于设置突发长度
WREN	06	X	X	用于执行擦除挂起期间所发出的编程命令
WRDI	04	X	X	用于执行擦除挂起期间所发出的编程命令
PP	02	X		用于在擦除挂起期间执行阵列编程操作。仅在无编程挂起操作时有效（SR2V[0] = 0）。存在某一挂起编程操作时，编程命令均被忽略。如果将编程命令发送到擦除挂起扇区中某个位置，则编程操作失败，且 P_ERR 位被置为 1。
4PP	12	X		用于在擦除挂起期间执行阵列编程操作。仅在无编程挂起操作时有效（SR2V[0] = 0）。存在某一挂起编程操作时，编程命令均被忽略。如果将编程命令发送到擦除挂起扇区中某个位置，则编程操作失败，且 P_ERR 位被置为 1。
QPP	32	X		用于在擦除挂起期间执行阵列编程操作。仅在无编程挂起操作时有效（SR2V[0] = 0）。存在某一挂起编程操作时，编程命令均被忽略。如果将编程命令发送到擦除挂起扇区中某个位置，则编程操作失败，且 P_ERR 位被置为 1。
4QPP	34	X		用于在擦除挂起期间执行阵列编程操作。仅在无编程挂起操作时有效（SR2V[0] = 0）。存在某一挂起编程操作时，编程命令均被忽略。如果将编程命令发送到擦除挂起扇区中某个位置，则编程操作失败，且 P_ERR 位被置为 1。
4READ	13	X	X	在挂起期间中可执行所有阵列读取操作
CLSR	30	X	X	擦除挂起期间，如果编程操作失败，则允许使用擦除状态寄存器命令。
EPR	7A	X	X	用于从擦除或编程挂起恢复。
RSTEN	66	X	X	复位可随时发生
RST	99	X	X	复位可随时发生
FAST_READ	0B	X	X	在挂起期间中可执行所有阵列读取操作
4FAST_READ	0C	X	X	在挂起期间中可执行所有阵列读取操作

表 44. 在编程或擦除挂起时可执行的命令 （续）

指令名称	指令代码（十六进制）	在擦除挂起期间可用	在编程挂起期间可用	注释
DOR	3B	X	X	在挂起期间中可执行所有阵列读取操作
4DOR	3C	X	X	在挂起期间中可执行所有阵列读取操作
DIOR	BB	X	X	在挂起期间中可执行所有阵列读取操作
4DIOR	BC	X	X	在挂起期间中可执行所有阵列读取操作
IBLRD	3D	X	X	擦除挂起期间，可能需要移除和恢复单块锁定，以便执行编程操作。
4IBLRD	E0	X	X	擦除挂起期间，可能需要移除和恢复单块锁定功能，以便执行编程操作。
IBL	36	X	X	擦除挂起期间，可能需要恢复单块锁定，以便执行编程操作。
4IBL	E1	X	X	擦除挂起期间，可能需要恢复单块锁定功能，以便执行编程操作
IBUL	39	X	X	擦除挂起期间，可能需要移除单块锁定，以便执行编程操作。
4IBUL	E2	X	X	擦除挂起期间，可能需要移除单独块锁定功能，以便执行编程操作。
QOR	6B	X	X	四线读取输出 （3 或 4 字节地址）[60]
4QOR	6C	X	X	四线读取输出 （4 字节地址）[60]
QIOR	EB	X	X	在挂起期间中可执行所有阵列读取操作 [60]
4QIOR	EC	X	X	在挂起期间中可执行所有阵列读取操作 [60]
DDRQIOR	ED	X	X	在挂起期间中可执行所有阵列读取操作 [60]
DDR4QIOR	ED	X	X	在挂起期间中可执行所有阵列读取操作 [60]
MBR	FF	X	X	在挂起期间中可用于复位读取操作
SECRP	42	X		在擦除挂起期间中可执行所有安全区域编程操作
SECRR	48	X	X	在挂起期间中可执行所有安全区域读取操作

注释：

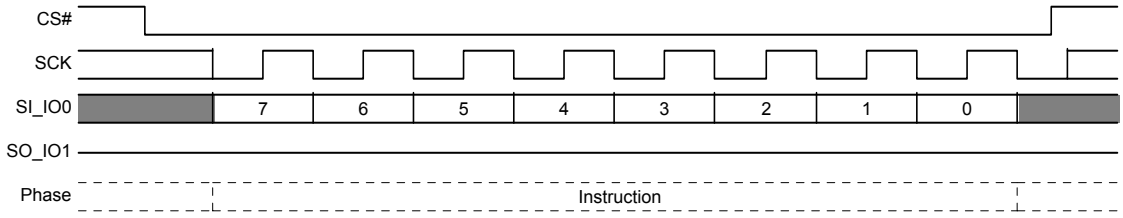
60. 对于所有四线命令，由于挂起状态中不允许执行 WRR/WRAR 命令，所以初始化编程或擦除操作之前，需要将四线使能 CR1V[1] 位（请参见第 31 页上的表 13）设置为 ‘1’。

在擦除或编程挂起过程中，不允许执行第 96 页上的表 44 中不包含的所有命令。在擦除或编程挂起过程中，不允许执行 WRR、WRAR 或 SPRP 命令，因此，在擦除挂起时不能改变传统块保护位或指针区域保护位。

读取擦除挂起扇区或编程挂起页中的任何地址都会返回不确定的数据。

擦除挂起模式下的编程操作完成后，器件返回擦除挂起模式。系统可以通过读取状态寄存器的 WIP 位来确定编程操作的状态，同在执行标准编程操作一样。

图 88. 编程或擦除挂起命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 89. QPI 模式下的编程或擦除挂起命令序列

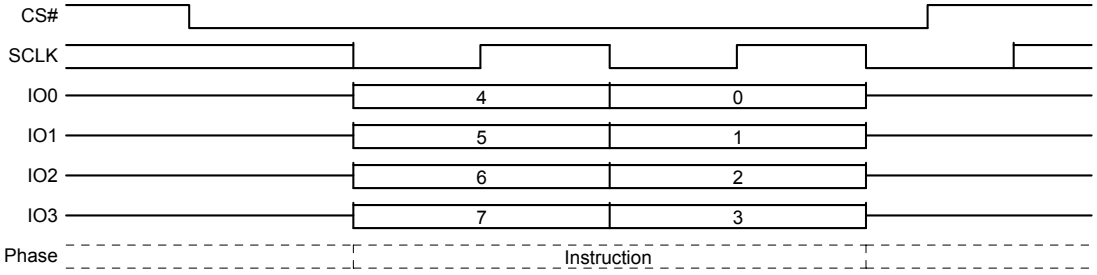
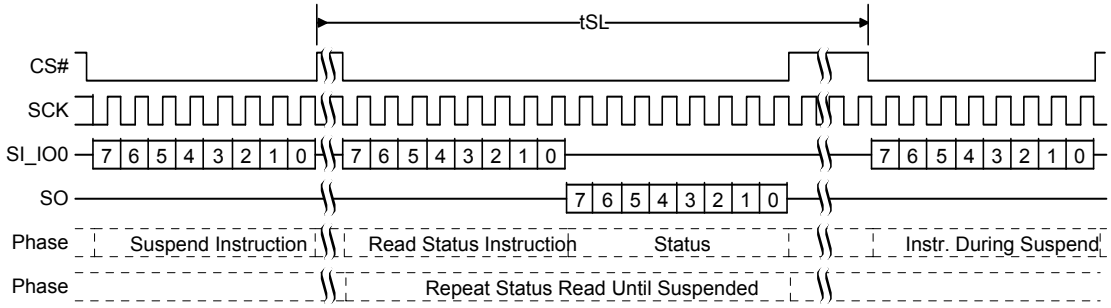


图 90. 带有连续命令序列的编程或擦除挂起命令



8.6.6 擦除或编程恢复 （EPR 7Ah）

编程或读取操作完成后，在编程或擦除挂起过程中，器件将发送擦除或编程恢复命令，以便继续执行被挂起的操作。

发送擦除或编程恢复命令后，状态寄存器中的 WIP 位将被设置为 ‘1’，并且恢复被挂起的操作。如果没有任何被挂起的编程或擦除操作，将忽略恢复命令。

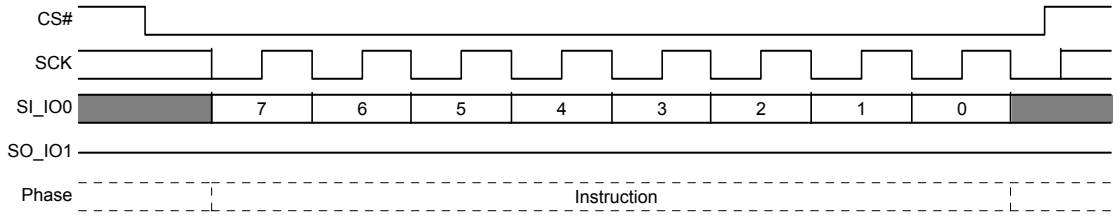
编程和擦除操作可以根据需要被中断。例如，执行编程挂起命令后可立即执行编程恢复命令。但为了正常完成编程或擦除操作，恢复和下一次挂起指令之间的时间不能小于 t_{RNS}。请参见第 146 页上的表 65。

可以使用状态寄存器 2 （SR2[0]）中的编程挂起状态位来确定编程操作已被挂起还是已在 WIP 位改成 0 时完成。同样，可以使用状态寄存器 2 （SR2[1]）中的擦除挂起状态位来确定擦除操作被挂起还是已在 WIP 位改成 0 时完成。

请参见第 29 页上的 6.6.2 状态寄存器 2 易失性 （SR2V）节。

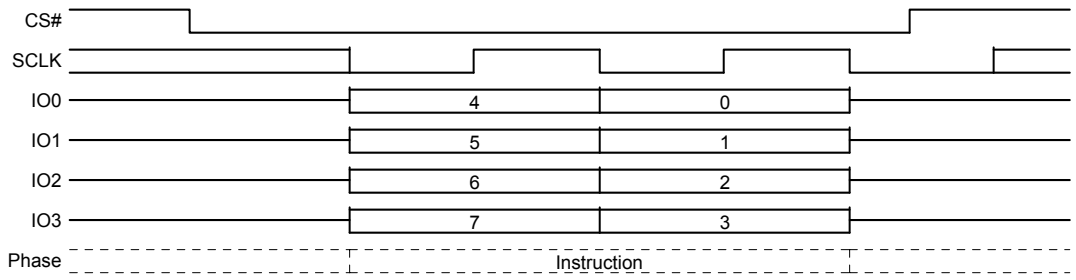
器件必须写入擦除或编程恢复命令来恢复被挂起的操作。

图 91. 擦除或编程恢复的命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 92. QPI 模式下的擦除或编程恢复命令序列



8.7 安全区域阵列命令

通过安全区域命令可以选择地址 A15 到 A8 将使用的区域，具体如下所示。

- 安全区域 0：A23-16 = 00h； A15-8 = 00h； A7-0 = 字节地址
- 安全区域 1：A23-16 = 00h； A15-8 = 01h； A7-0 = 字节地址
- 安全区域 2：A23-16 = 00h； A15-8 = 02h； A7-0 = 字节地址
- 安全区域 3：A23-16 = 00h； A15-8 = 03h； A7-0 = 字节地址

8.7.1 安全区域擦除 （SECRE 44h）

通过使用安全区域擦除命令来擦除安全区域中的数据，该安全区域和主阵列数据的地址空间不一样。安全区域大小为 1024 个字节，因此，使用该命令时需要将地址位 A23 到 A10 （S25FL128L）以及 A24 到 A10 （S25FL256L）全部设置为 0。可以单独擦除每个区域。欲了解安全区域的详细信息，请参考第 24 页上的 6.5 安全区域地址空间节。

接收安全区域擦除命令前，器件必须发送写入使能（WREN）命令并对其进行解码。这样将设置状态寄存器中的写入使能锁存（WEL）位，从而使能所有写入操作。通过检查 SR1V 中的 WIP 位，可以确定该操作是否完成。同样，通过检查 SR2V 中的 E_ERR 位，可以确定在操作过程中是否发生了任何错误。

通过使用配置寄存器 1 中的安全区域锁定位 （CR1NV[2-5]），可以防止擦除安全区域。一旦锁定位被设置为 1，将永久锁定相应的安全区域。尝试擦除被锁定的区域时，会引起结果失败，而且 SR2V[6] 中的 E_ERR 位被设置为 1。

当保护寄存器的 NVLOCK 位为 0 时，将不能对安全区域 2 和 3 进行编程或擦除操作。尝试擦除被锁定的区域时，将导致结果失败，而且 SR2V[6] 中的 E_ERR 位被设置为 1。请参见第 56 页上的 7.7.2.1 NVLOCK 位 （PR[0]）节。

密码保护模式的锁定位 （IRP[2]）防止对区域 2 和区域 3 进行擦除操作，直到提供一个正确的密码来擦除这些安全区域为止。尝试擦除用密码锁定的区域时，将导致失败结果，而且 SR2V[6] 中的 E_ERR 位被设置为 1。第 57 页上的 7.7.4 安全区域读取密码保护节。

安全区域擦除命令和扇区擦除命令使用相同的协议。欲了解命令序列，请参见第 92 页上的 8.6.1 扇区擦除（SE 20h 或 4SE 21h）节。该命令受 QPI 模式的支持。

8.7.2 安全区域编程 （SECRP 42h）

通过使用安全区域编程命令来编程安全区域中的数据，该安全区域和主阵列数据的地址空间不一样。安全区域大小为 1024 个字节，因此，使用该命令时需要将地址位 A23 到 A10 （S25FL128L）以及 A24 到 A10 （S25FL256L）设置为 0。欲了解安全区域的详细信息，请参考第 24 页上的 6.5 安全区域地址空间节。

接收安全区域编程命令前，器件必须发送写入使能（WREN）命令并对其进行解码。这样将设置状态寄存器中的写入使能锁存（WEL）位，以使能所有写入操作。通过检查 SR1V 中的 WIP 位可以确定该操作是否完成。同样，通过检查 SR2V 中的 P_ERR 位可以确定在操作过程中是否发生了任何错误。

为了以位粒度程度仔细编程安全区域阵列，可将数据字节中的剩下位设置为 1。

如果存储器中的安全区域未被锁定，则可对它进行一次或多次编程。但要想获得最佳的数据完整性，建议一起对一个或多个 16 字节长度和字节的对齐组进行编程，并且在每次进行区域擦除操作之间只编程一次。

通过使用配置寄存器 1 中的安全区域锁定位 （CR1NV[2-5]），可以防止对安全区域进行编程。一旦锁定位被设置为 1，就永久性锁定相应的安全区域。尝试将 0 或 1 编程到被锁定 （受保护）的区域时，将导致结果失败，而且 SR2V[5] 中的 P_ERR 位被设置为 1。将 1编程到未受保护的区域时，不会导致错误，也不会设置P_ERR位。（请参考第29页上的6.6.3 配置寄存器1节，以了解详细的说明）。

当保护寄存器的 NVLOCK 位为 0 时，将不能对安全区域 2 和 3 进行编程或擦除操作。尝试编程被锁定的区域时，将导致失败结果，而且 SR2V[5] 中的 P_ERR 位被设置为 1。请参见第 56 页上的 7.7.2.1 NVLOCK 位 （PR[0]）节。

密码保护模式的锁定位 （IRP[2]）防止对区域 2 和区域 3 进行编程操作，直到提供一个正确的密码来编程安全区域为止。尝试编程用密码锁定的区域时，将导致失败结果，而且 SR2V[5] 中的 P_ERR 位被设置为 1。请参见第 56 页上的 7.7.3 密码保护模式节。

安全区域编程命令和页编程命令使用相同的协议。欲了解指令序列，请参见第 90 页上的 8.5.1.1 页编程节。该命令受 QPI 模式的支持。

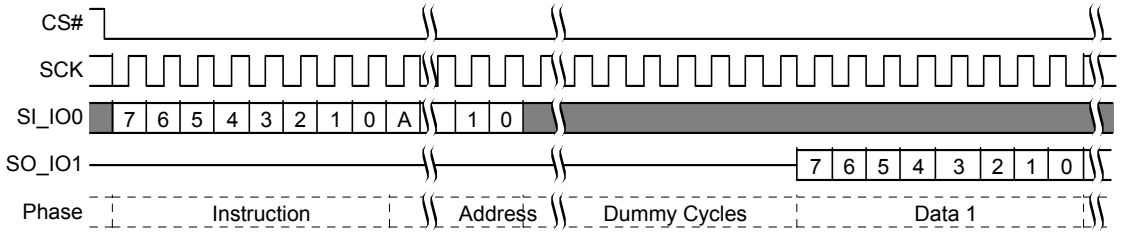
8.7.3 安全区域读取 （SECRR 48h）

安全区域读取（SECRR）命令提供了从安全区域读取数据的方法。安全区域大小为 1024 个字节，因此，使用该命令时需要将地址位 A23 到 A10 （S25FL128L）以及 A24 到 A10 （S25FL256L）设置为 0。欲了解安全区域的详细信息，请参考第 24 页上的 6.5 安全区域地址空间节。

该指令后面是 3 或 4 字节地址（取决于地址长度配置 CR2V[0]），最后是由 CR3V[3:0] 指定的延迟（虚拟）周期数量。这样将返回选定的寄存器数据。当读取完安全区域地址的最大值后，安全区域读取命令的协议将不会返回到起始地址；相反，超出最大地址的数据将是不确定的。安全区域读取命令的读取延迟由 CR3V[3:0] 决定的延迟值设置。

安全区域读取的密码模式的使能位（IRP[6]）防止对区域 3 进行读取操作，直到提供一个正确的密码来使能这些安全区域的读取操作为止。尝试读取密码被锁定的区域时，将返回无效和未定义的数据。请参见第 57 页上的 7.7.4 安全区域读取密码保护节。

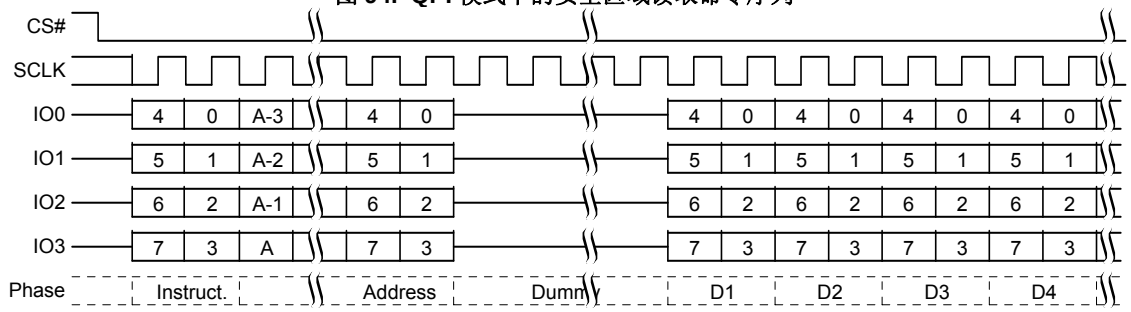
图 93. 安全区域的读取命令序列



注释：
61. A = 地址的 MSb = 23（若地址长度位 CR2V[0] = 0），或 = 31（若 CR2V[0] = 1）。

该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令和地址及返回数据。

图 94. QPI 模式下的安全区域读取命令序列



注释：
62. A = 地址的 MSb = 23（若 CR2V[0] = 0），或 = 31（若 CR2V[0] = 1）。

8.8 单块锁定命令

要想使用单块锁定命令，必须将配置寄存器 2 中的 WPS 位 （CR2V[2]）设置为 1，以选定 IBL 保护方案。如果不选择 IBL 保护方案（CR2V[2]=0），则会忽略 IBL 命令。

单块锁定位 （IBL）均是易失性的，其中每一位用于一个扇区 / 块，并且可被单独修改。通过发送 IBL 或 GBL 命令，可以将 IBL 位设置为 0，从而保护每个相关的扇区 / 块。通过发送 IBUL 或 GUL 命令，可以将 IBL 位清除为 1，从而解除每个相关的扇区 / 块的保护。通过发送 IBLRD 命令，可以读取每个 IBL 位保护的状态。

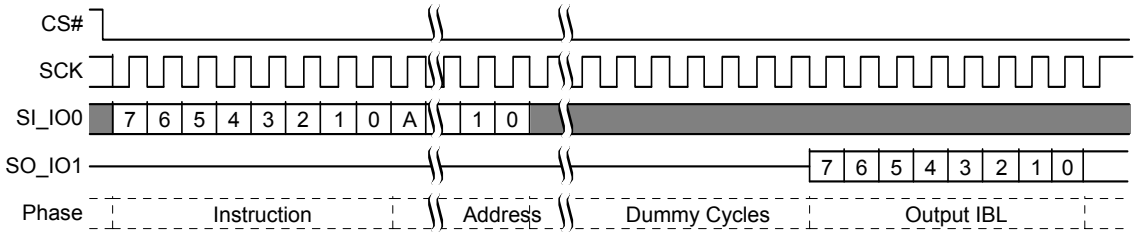
8.8.1 IBL 读取 （IBLRD 3Dh 或 4IBLRD E0h）

通过发送 IBLRD/4IBLRD 命令，可以读取每个 IBL 位保护的状态。

指令在 SCK 信号的上升沿上被锁存在 SI 中。先读取命令，然后锁存 24 位或 32 位地址（地址的长度取决于配置寄存器 2 中的 CR2V[0] 值），在所需扇区中选择位置 0。

然后， 8 位 IBL 访问寄存器内容将通过串行输出 SO/IO1 被移出。在 SCK 信号的下降沿上以 SCK 频率移出每个位。通过提供 8 个时钟周期的倍数，可以连续读取相同的 IBL 访问寄存器。 IBL 寄存器的地址不增加，所以这不是读取整个 IBL 阵列的方法。必须通过一个单独 IBL 读取命令读取每个位置。

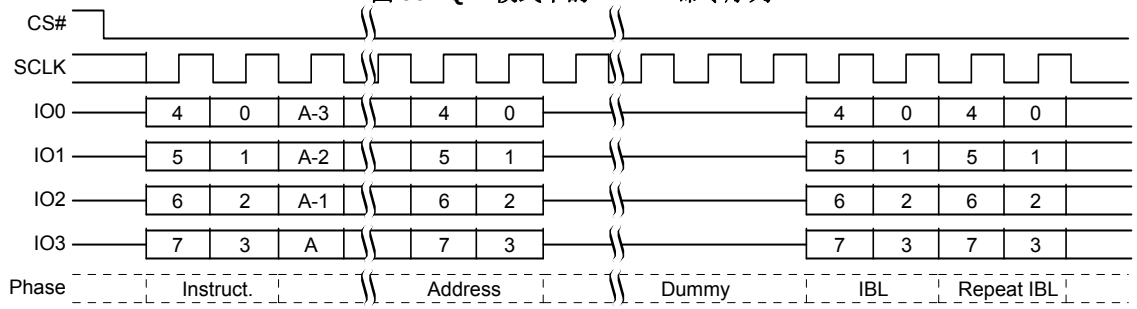
图 95. IRPRD 命令序列



注释：
63. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 = 31 （CR2V[0] = 1，命令 3Dh）。
64. A = 地址的 MSb = 31 （命令 E0h）

该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令和地址及返回数据。

图 96. QPI 模式下的 IRPRD 命令序列



注释：
65. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 = 31 （CR2V[0] = 1，命令 3Dh）。
66. A = 地址的 MSb = 31 （命令 E0h）

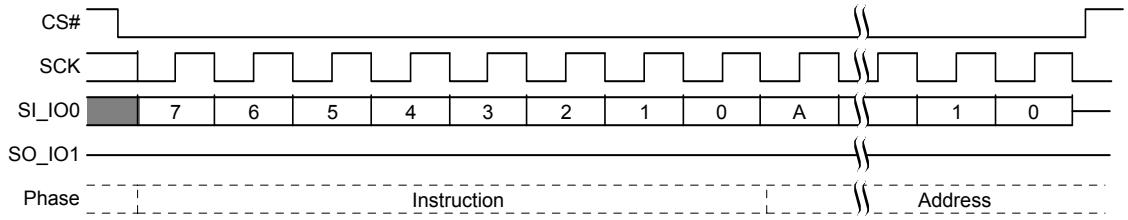
8.8.2 IBL 锁定 （IBL 36h 或 4IBL E1h）

IBL/4IBL 命令将 IBL 位设置为 0，以保护相关的每个扇区 / 块。

通过将 CS# 信号驱动为逻辑低电平状态，然后传送指令，最后传送 24 位或 32 位地址（地址的长度取决于配置寄存器 2 中的 CR2V[0] 值），可以输入 IBL 命令。与所有其他编程操作相同， IBL 命令也会影响状态和配置寄存器的 WIP 位。

锁存 24 位或 32 位地址 （地址的长度取决于配置寄存器 2 中的 CR2V[0] 值）后，必须将 CS# 信号驱动为逻辑高电平状态。将 CS# 驱动为逻辑高电平状态时，会立即启动自定时 IBL 操作。在执行 IBL 操作的过程中，可以读取状态寄存器以检查正在进行写入操作（WIP）位的值。执行自定时 IBL 操作期间，正在进行写入操作 （WIP）位为 1。完成该操作时， WIP 位为 0。

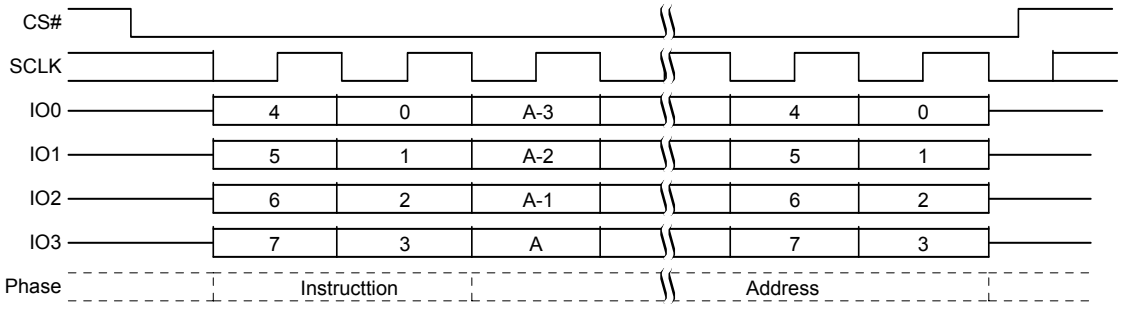
图 97. IBL 命令序列



注释：
67. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 = 31 （CR2V[0] = 1，命令 36h）。
68. A = 地址的 MSb = 31 （在命令 E1h 的条件下）。

该命令也支持 QPI 模式。在该模式下，指令、地址和数据通过 IO0-IO3 信号被传入到芯片内。

图 98. QPI 模式下的 IBL 命令序列



注释：
69. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 = 31 （CR2V[0] = 1，命令 36h）。
70. A = 地址的 MSb = 31 （在命令 E1h 的条件下）。

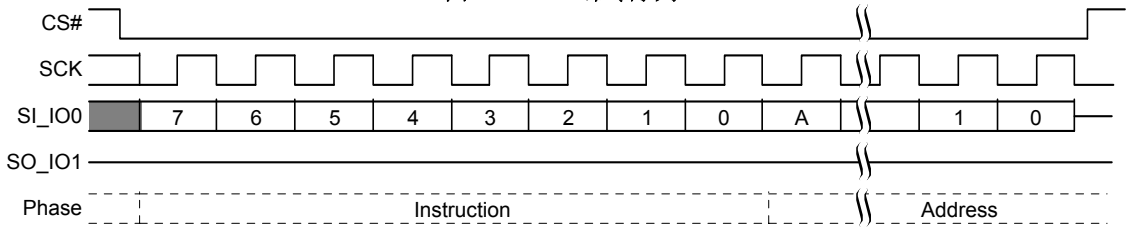
8.8.3 IBL 解锁 （IBUL 39h 或 4IBUL E2h）

IBUL/4IBUL 命令将已选定的 IBL 位清除成 1，以取消相关每一扇区 / 块的保护。

通过将 CS# 信号驱动为逻辑低电平状态，然后锁存指令，最后锁存 24 位或 32 位地址（地址的长度取决于配置寄存器 2 中的 CR2V[0] 值），可以输入 IBUL 命令。与所有其他编程操作相同， IBUL 命令也会影响状态和配置寄存器的 WIP 位。

锁存 24 位或 32 位地址 （地址的长度取决于配置寄存器 2 中的 CR2V[0] 值）后，必须将 CS# 信号驱动为逻辑高电平状态。将 CS# 驱动为逻辑高电平状态时，会立即启动自定时 IBL 操作。在执行 IBUL 操作的过程中，可以读取状态寄存器以检查正在进行写入操作（WIP）位的值。执行自定时 IBUL 操作期间，正在进行写入操作 （WIP）位为 1。完成该操作时， WIP 位为 0。

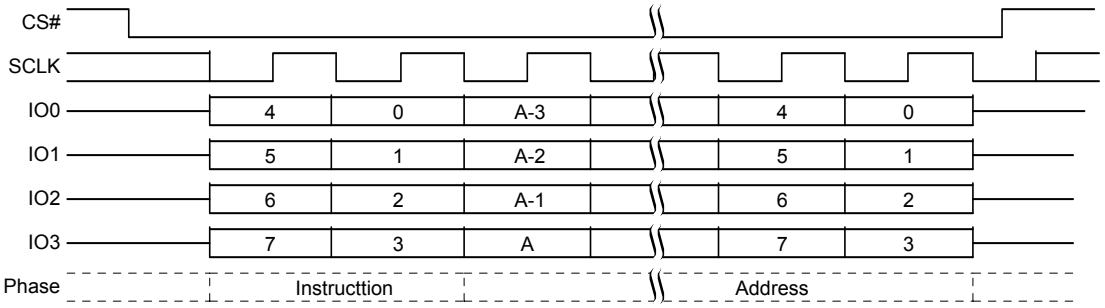
图 99. IBUL 命令序列



注释：
71. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 = 31 （CR2V[0] = 1，命令 39h）。
72. A = 地址的 MSb = 31 （在命令 E2h 的条件下）。

该命令也支持 QPI 模式。在该模式下，指令、地址和数据通过 IO0-IO3 信号被传入到芯片内。

图 100. QPI 模式下的 IBUL 命令序列



注释：
73. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 = 31 （CR2V[0] = 1，命令 39h）。
74. A = 地址的 MSb = 31 （在命令 E2h 的条件下）。

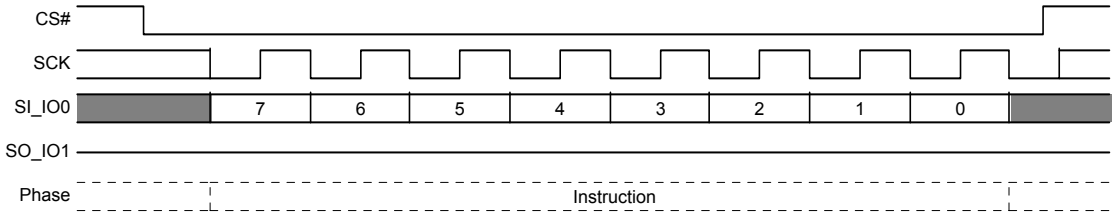
8.8.4 全局 IBL 锁定 （GBL 7Eh）

GBL 命令将所有 IBL 位清除为 0，以保护所有扇区 / 块。

指令字节的第 8 位通过 SI 被锁存在芯片内之后，必须将 CS# 信号驱动为逻辑高电平状态。该操作将启动 GBL 命令。如果锁存指令的最后位之后未将 CS# 驱动为高电平，则将不执行 GBL 操作。

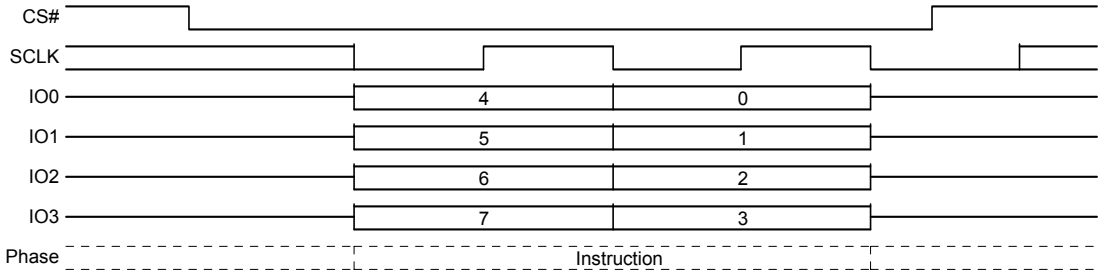
将 CS# 驱动为逻辑高电平状态时，会立即启动 GBL 操作。在执行 GBL 操作过程中，用户可以读取正在进行写入操作 （WIP）位的值，以确定该操作是否完成。在执行 GBL 操作期间， WIP 位将显示为 1 ；该操作结束时， WIP 位则显示为 0。

图 101. 全局 IBL 锁定 （GBL）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 102. QPI 模式下的全局 IBL 锁定 （GBL）命令序列



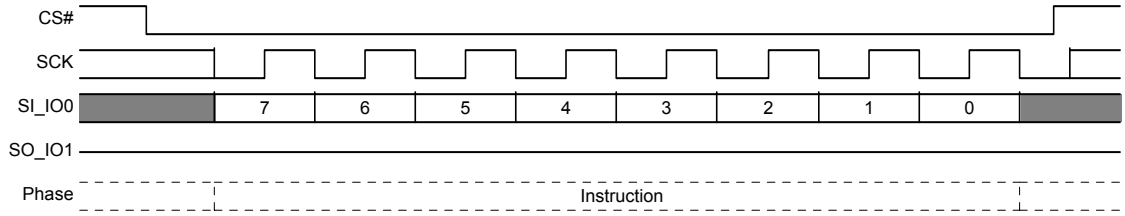
8.8.5 全局 IBL 解锁 （GBUL 98h）

GBUL 命令将所有 IBL 位清除为 1，从而取消所有扇区 / 块的保护。

指令字节的第 8 位通过 SI 锁存在芯片内之后，必须将 CS# 信号驱动为逻辑高电平状态。该操作将启动 GBUL 命令。如果锁存指令最后位结束后未将 CS# 驱动为高电平，便不会执行 GBL 操作。

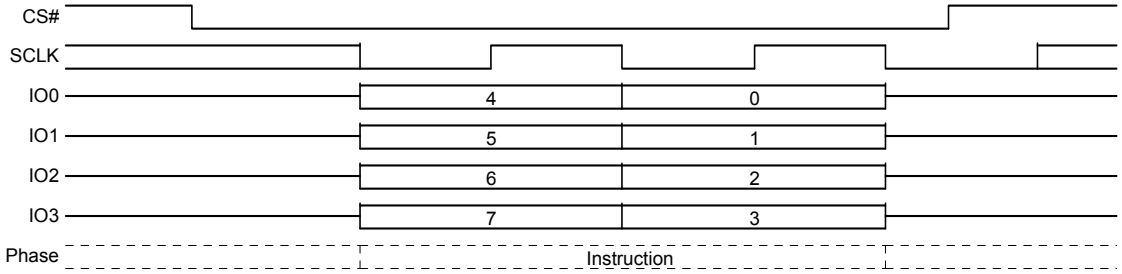
将 CS# 驱动为逻辑高电平状态时，会立即启动 GBL 操作。在执行 GBL 操作过程中，用户可以读取正在进行写入操作 （WIP）位的值，以确定该操作是否完成。在执行 GBUL 操作期间， WIP 位将显示为 1 ；该操作结束时， WIP 位则显示为 0。

图 103. 全局 IBL 解锁 （GBUL）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 104. QPI 模式下的全局 IBL 解锁 （GBUL）命令序列



8.9 指针区域命令

8.9.1 设置指针区域保护 （SPRP FBh 或 4SPRP E3h）

在挂起状态期间， SPRP 或 4SPRP 命令被忽略。这是因为在挂起状态下不能擦除或重新编程指针值。

如果默认电源的锁定保护 NVLOCK PR[0] = 0 或电源锁定保护使能 IRP[1] = 0 或密码保护使能 IRP[2] = 0 和 NVLOCK PR[0] = 0，则忽略 SPRP 或 4SPRP 命令。

S25FL256L 器件必须使能 4 字节地址命令 （CR2V[0] = 1），以设置指针区域保护寄存器 PRPR （请参考第 41 页上的 6.6.10 指针区域保护寄存器（PRPR）节），这样才能确保 A24 和 A25 被正确设置。S25FL128L 器件能够激活 4 字节寻址命令（CR2V[0] = 1）或 3 字节寻址命令 （CR2V[0] = 0）。

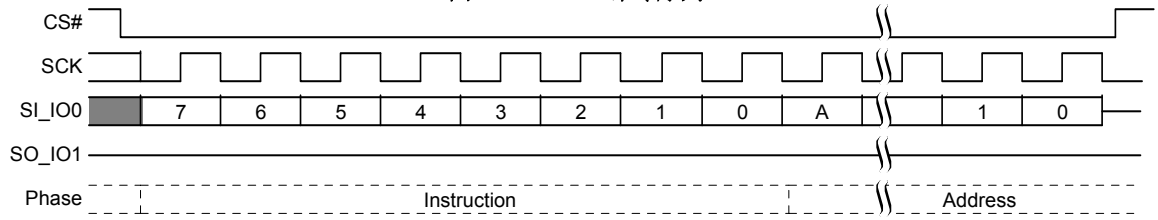
接收 SPRP 或 4SPRP 命令之前，器件必须发送写入使能 （WREN）命令。对写入使能 （WREN）命令进行解码后，器件将设置状态寄存器中的写入使能锁存 （WEL）位以使能所有写入操作。

通过将 CS# 信号驱动为逻辑低电平状态，然后传送指令，最后再传送 24 位或 32 位地址（地址的长度取决于配置寄存器 2 中的 CR2V[0] 值），这样可以输入 SPRP 或 4SPRP 命令。请参见第 52 页上的 7.6.3 指针区域保护（PRP）节以了解地址值的详细信息，从而选择保护选项。

锁存地址最后位结束后，必须将 CS# 驱动为逻辑高电平状态。否则，不能执行 SPRP 命令。将 CS# 驱动为逻辑高电平状态时，会立即启动自定时 SPRP 操作。在执行 SPRP 操作的过程中，可以读取状态寄存器，以检查正在进行写入操作 （WIP）位上的值。执行自定时 SPRP 操作期间， WIP 位为 1 ；完成该操作时， WIP 位为 0。完成 SPRP 操作时，写入使能锁存 （WEL）位将被设置为 0。如果设置指针区域保护操作失败， SPRP 或 4SPRP 命令将设置 P_ERR 或 E_ERR 位。

欲了解用于定义存储器中受保护和不受保护区域间扇区边界的地址指针的详细信息，请参见第 52 页上的 7.6.3 指针区域保护 （PRP）节。

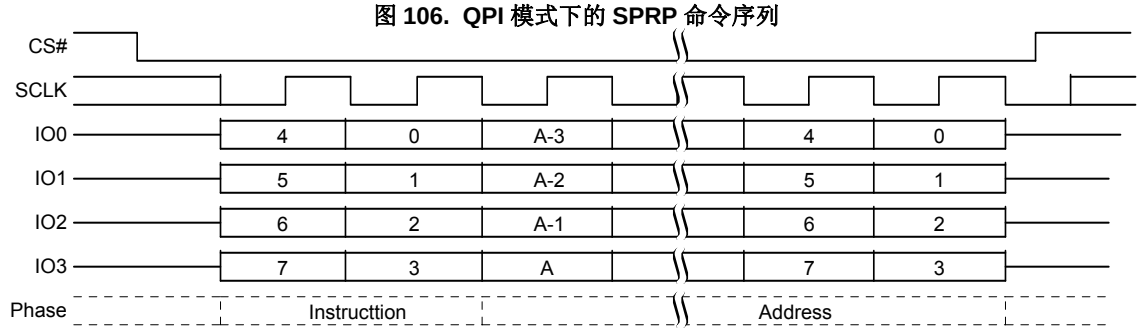
图 105. SPRP 命令序列



注释：
75. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 31 （CR2V[0] = 1，命令 FDh）。
76. A = 地址的 MSb = 31 （在命令 E3h 的条件下）。

该命令也支持 QPI 模式。在该模式下，指令、地址和数据通过 IO0-IO3 信号被传入到芯片内。

图 106. QPI 模式下的 SPRP 命令序列



注释：
77. A = 地址的 MSb = 23 （地址长度 CR2V[0] = 0），或 31 （CR2V[0] = 1，命令 FDh）。
78. A = 地址的 MSb = 31 （在命令 E3h 的条件下）。

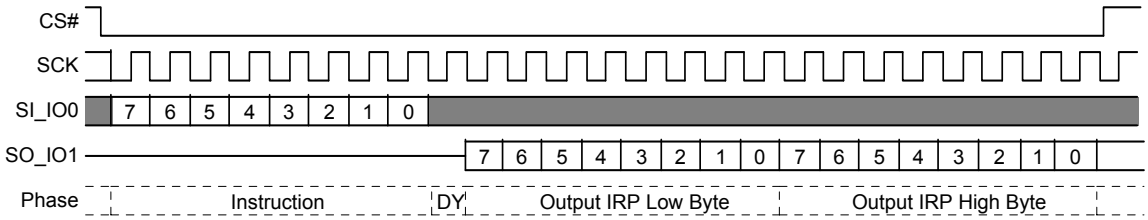
8.10 单独和区域保护 （IRP）命令

8.10.1 IRP 寄存器读取 （IRPRD 2Bh）

在 SCK 信号的上升沿上，将 IRP 寄存器读取命令 2Bh 转移给 SI/IO0 ，转移完成后存在一个虚拟周期。器件的内部电路需要该延迟周期以进行访问初始地址的数据。在这些延迟周期内， IO0-IO3 上的数据值为 “ 无需关注 ” 项，该值可能为高阻状态。

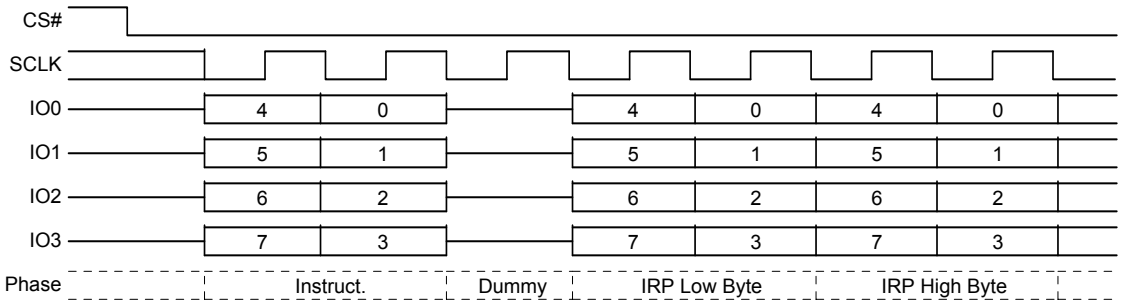
然后，在串行输出 S0/IO1 上移出 16 位 IRP 寄存器的内容，最低有效字节优先。在 SCK 的下降沿上以 SCK 频率移出每个位。通过提供 16 时钟周期的倍数，可以连续读取 IRP 寄存器。

图 107. IRPRD 命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令及传出返回的数据。

图 108. IRPRD 命令序列 — QPI 模式



8.10.2 IRP 编程 （IRPP 2Fh）命令

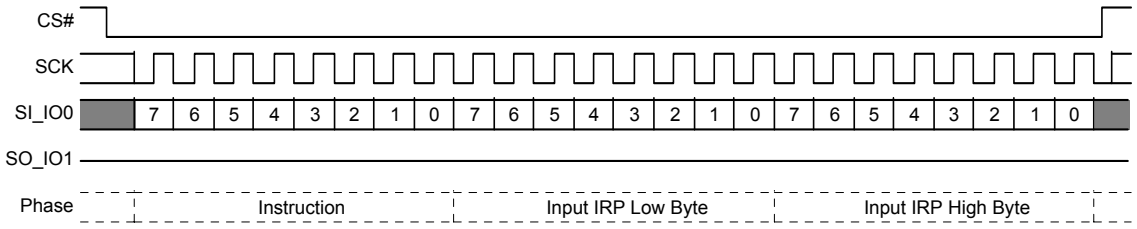
接收 IRP 编程 （IRPP）命令前，器件必须发送写入使能 （WREN）命令。对写入使能 （WREN）命令进行解码后，器件将设置状态寄存器中的写入使能锁存 （WEL）位以使能所有写入操作。

通过将 CS# 驱动为逻辑低电平状态，可以输入 IRPP 命令，然后输入 SI 上的指令和两个数据字节，最低有效字节优先。 IRP 寄存器的长度为两个数据字节。

与所有其他编程操作相同， IRPP 命令也会影响状态和配置寄存器的 P_ERR 和 WIP 位。

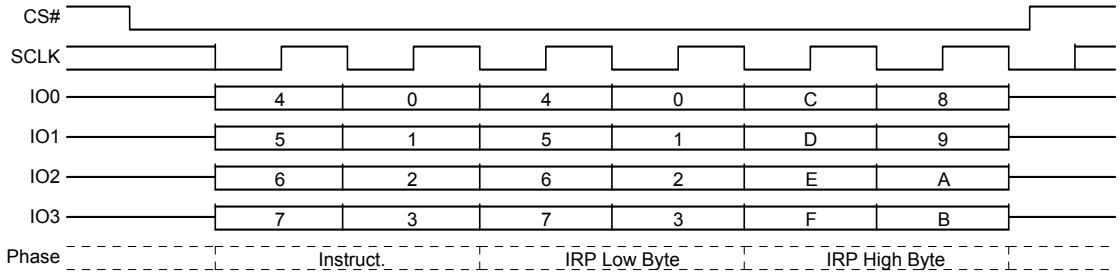
数据字节的第十六位被锁存后，必须将 CS# 驱动为逻辑高电平状态。否则，不能执行 IRPP 命令。CS# 被驱动为逻辑高电平状态时，会立即启动自定时 IRPP 操作。在执行 IRPP 操作的过程中，可以读取状态寄存器以检查正在写入 （WIP）位的值。执行自定时 IRPP 操作期间， WIP 位为 1 ；完成该操作时， WIP 位为 0。完成 IRPP 操作时，写入使能锁存 （WEL）位将被设为 ‘0’ 。

图 109. IRP 编程 （IRPP）命令



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号将指令和数据传入到芯片内。

图 110. IRP 编程 （IRPP）命令 QPI



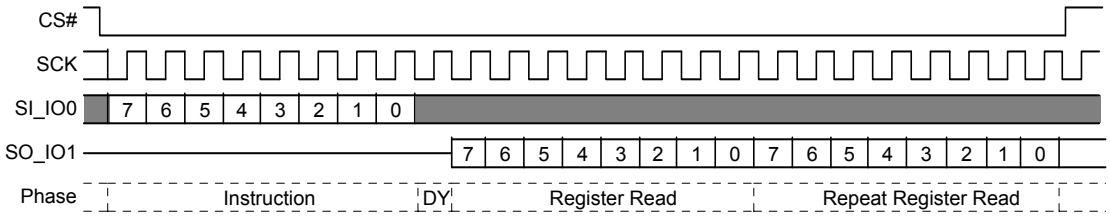
8.10.3 保护寄存器读取 （PRRD A7h）命令

使用保护寄存器读取 （PRRD）命令可以通过 SO/IO1 读取保护寄存器的内容。在 SCK 信号的上升沿上，将读取指令 A7h 传入到 SI 内，传入完成后存在一个虚拟周期。器件的内部电路需要该延迟周期以进行访问初始地址中的数据。在这些延迟周期内， IO0-IO3 上的数值为 “ 无需关注项 ”，该值可能为高阻抗。

然后，通过串行输出 SO/IO1 移出 8 位保护寄存器的内容。在 SCK 的下降沿上以 SCK 频率移出每个位。通过提供 8 时钟周期的倍数，可以连续读取保护寄存器。

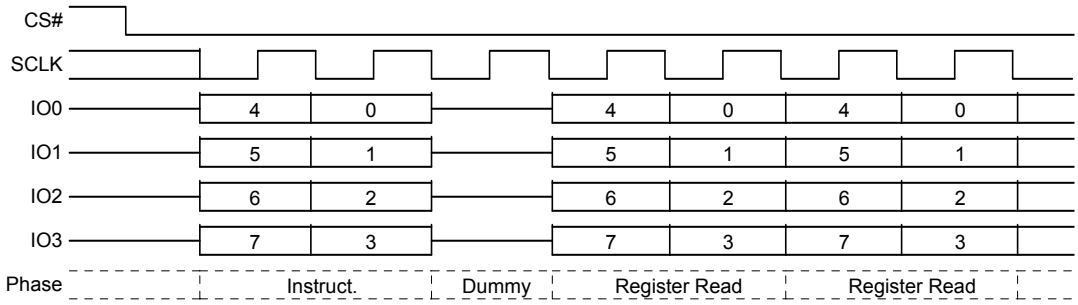
如果器件处于待机状态并不在执行任何其他操作，则仅能读取保护寄存器中的内容。

图 111. 保护寄存器读取 （PRRD）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令及传出返回的数据。

图 112. 保护寄存器读取 （PRRD）命令序列 — QPI 模式



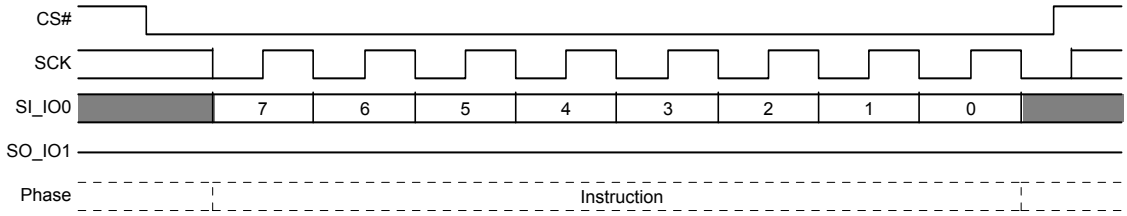
8.10.4 保护寄存器锁定 （PRL A6h）命令

保护寄存器锁定 （PRL）命令会将 NVLOCK 位 （PR[0]）清除为 0 并将 IRP[6] 值载入到 SECRRP （PR[6]）内。请参见第 40 页上的 6.6.8 保护寄存器 （PR）节。接收 PRL 命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。器件也设置状态寄存器中的写入使能锁存 （WEL）位以使能所有写入操作。

通过将 CS# 驱动为逻辑低电平状态，可以输入 PRL 命令，然后输入指令。

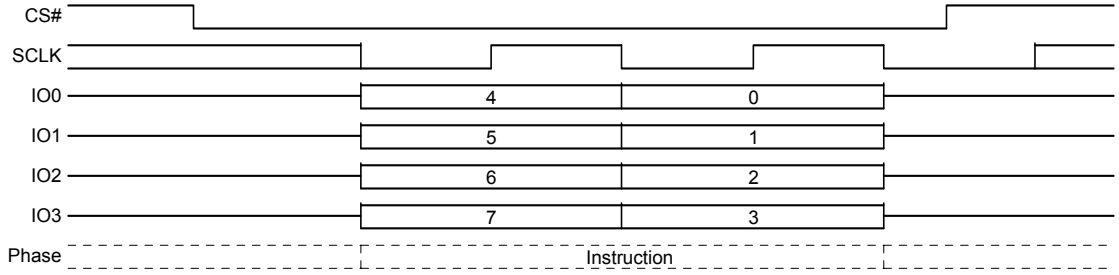
指令的第 8 位被锁存后，必须将 CS# 信号驱动为逻辑高电平状态。否则，不能执行 PRL 命令。CS# 被驱动为逻辑高电平状态时，会立即启动自定时 PRL 操作。在执行 PRL 操作的过程中，还可以读取状态寄存器，以检查正在写入 （WIP）位上的值。执行自定时 PRL 操作期间， WIP 位为 1 ；完成该操作时， WIP 位为 0。完成 PRL 操作时，写入使能锁存 （WEL）位将被设置为 ‘0’ 。

图 113. 保护寄存器锁定 （PRL）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 114. 保护寄存器锁定 （PRL）命令序列 — QPI 模式



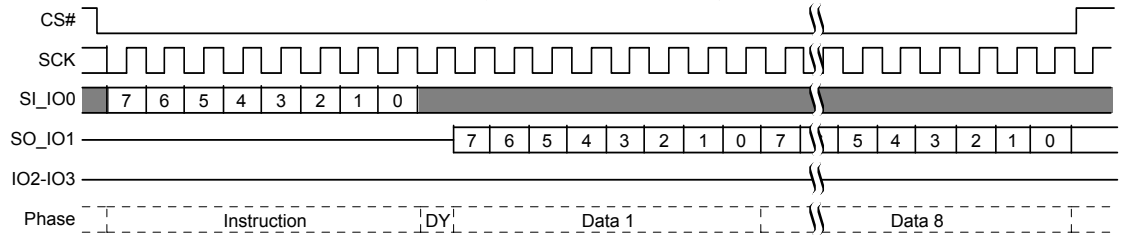
8.10.5 密码读取 （PASSRD E7h）命令

仅在编程正确密码值后且通过在 IRP 寄存器 （IRP[2]）中将密码保护模式位编程为 0 来选定密码模式前，才能读取正确密码值。选定密码保护模式后，密码不再可读，此时 PASSRD 命令将输出未定义的数据。

PASSRD 命令被传入 SI，传入完成后存在一个虚拟周期。器件的内部电路需要该延迟周期用于进行访问初始地址的数据。在这些延迟周期内，上的数据值为 “ 无需关注 ” 项，该值可能为高阻状态。

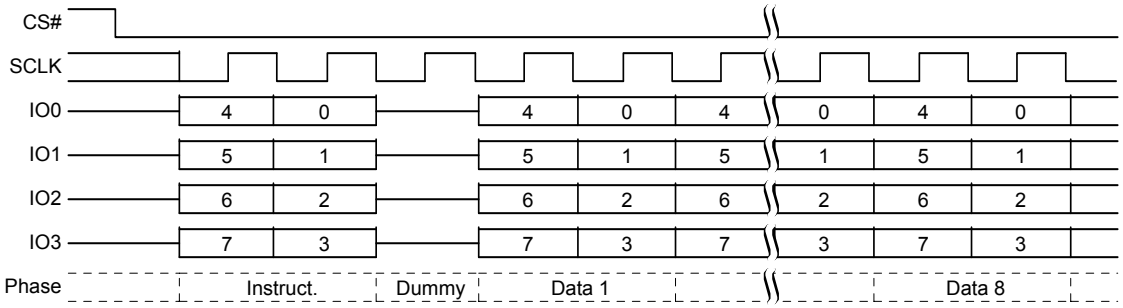
然后，在串行输出上移出 64 位密码，并且为最低有效字节优先，每个字节的最高有效位优先。在 SCK 的下降沿上以 SCK 频率移出每个位。通过提供 64 时钟周期的倍数，可以连续读取密码。

图 115. 密码读取 （PASSRD）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号传入指令及传出返回的数据。

图 116. 密码读取 （PASSRD）命令序列 — QPI 模式



8.10.6 密码编程 （PASSP E8h）

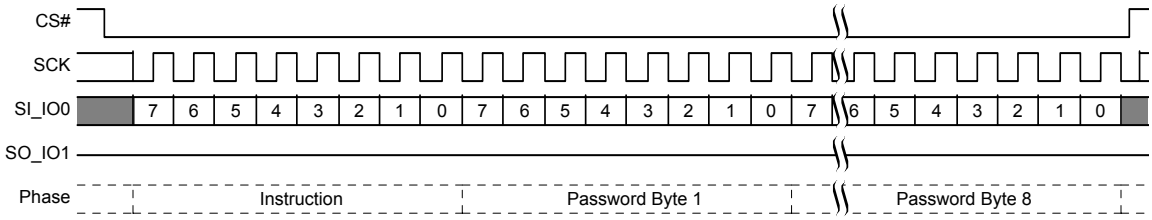
接受密码编程 （PASSP）命令前，器件必须发送写入使能 （WREN）命令并对其进行解码。对写入使能 （WREN）命令进行解码后，器件将设置状态寄存器中的写入使能锁存 （WEL）位以使能 PASSP 操作。

仅在选定密码模式（即：将 IRP 寄存器（IRP[2]）中的密码保护模式位编程为 0）前，才能编程密码。选定密码保护模式后， PASSP 命令将被忽略。

通过将 CS# 驱动为逻辑低电平状态，可以输入 PASSP 命令，然后输入 SI/IO0 上的指令和密码数据字节，最低有效字节优先，每个字节的最高有效位优先。密码的长度为六十四 （64）位。

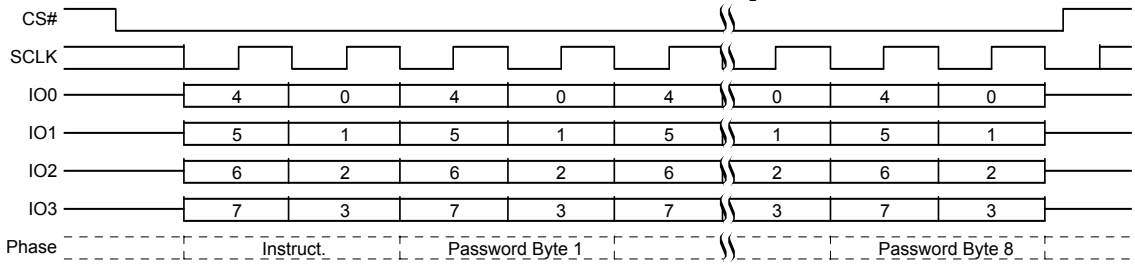
数据字节的第六十四 （64）位被锁存后，必须将 CS# 驱动为逻辑高电平状态。否则，不能执行 PASSP 命令。 CS# 被驱动为逻辑高电平状态时，会立即启动自定时 PASSP 操作。在执行 PASSP 操作的过程中，可以读取状态寄存器以检查正在写入（WIP）位的值。执行自定时 PASSP 操作期间， WIP 位为 1 ；完成该操作时， WIP 位为 0。 PASSP 命令可以报告状态寄存器中 P_ERR 位的编程错误。完成 PASSP 操作时，写入使能锁存 （WEL）位将被设置为 ‘0’ 。

图 117. 密码编程 （PASSP）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号将指令和数据传入到芯片内。

图 118. 密码编程 （PASSP）命令序列 — QPI 模式



8.10.7 密码解锁 （PASSU EAh）命令

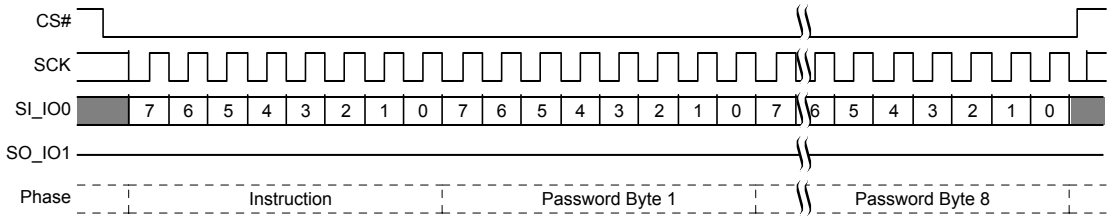
通过将 CS# 驱动为逻辑低电平状态，可以输入 PASSU 命令，然后输入 SI 上的指令和密码数据字节，最低有效字节优先，每个字节的最高有效位优先。密码的长度为六十四 （64）位。

数据的第六十四 （64）位被锁存后，必须将 CS# 驱动为逻辑高电平状态。否则，不能执行 PASSU 命令。 CS# 被驱动为逻辑高电平状态时，会立即启动自定时 PASSU 操作。在执行 PASSU 操作的过程中，可以读取状态寄存器以检查正在写入 （WIP）位的值。执行自定时 PASSU 操作期间， WIP 位为 1 ；完成该操作时， WIP 位为 0。

如果 PASSU 命令提供的密码与密码寄存器中隐藏密码不匹配，将 P_ERR 位设为 1 便可以报告错误。状态寄存器的 WIP 位仍保持为 1。另外需要使用 CLSR 命令来清除状态寄存器中的内容，使用软件复位命令（先发送 RSTEN 66h，然后是 RST 99h ）来复位器件，或驱动 RESET# 和 IO3 / RESET# 以启动硬件复位，从而使 P_ERR 和 WIP 位返回 0。这样会使器件进入待机状态，以准备好执行新命令 （如重新执行 PASSU 命令）。

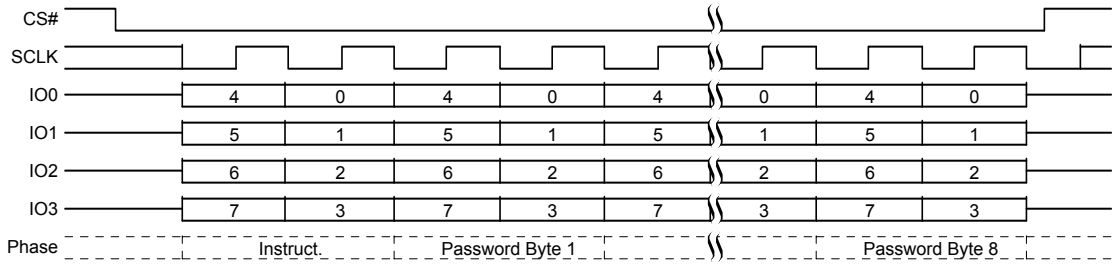
如果密码不匹配， NVLOCK 位将被设置为 1。

图 119. 密码解锁 （PASSU）命令序列



该模式也支持 QPI 模式。在 QPI 模式下，通过 IO0-IO3 信号将指令和数据传入到芯片内。

图 120. 密码解锁 （PASSU）命令序列 — QPI 模式



8.11 复位命令

通过将非易失性默认值重新载入易失性存储器内，软件控制的复位命令将器件恢复为其初始的上电状态。如果在执行对寄存器的擦除、编程或写入操作期间启动软件复位且扇区、页面或寄存器内的数据不稳定，那么需要重新启动被中断的操作。

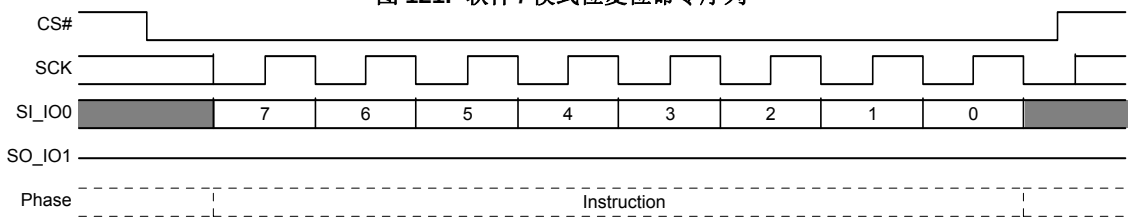
然而，一个软件复位不能修改配置寄存器 CR1V[0] 中的 SRP1 易失性位和保护寄存器中的 NVLOCK 易失性位。不能使用软件复位来将其他安全配置位代替 SRP1 或 NVLOCK 位的保护机制。

进行软件复位前，SRP1 位和 NVLOCK 位会保持其设置为最后的值。要想清除 SRP1 位并将 NVLOCK 位设置为其保护模式选定的上电状态，需要完成完整的上电复位序列或硬件复位。

如果在指令结束时 CS# 被置为高电平，将会执行软件复位命令 （由 RST 99h 随后的 RSTEN 66h），该过程需要 t_{RPH} 时间。

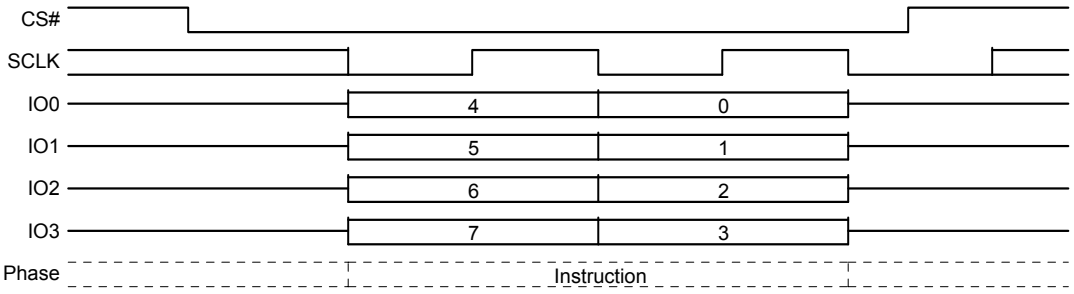
如果无法完成先前的上电复位 （POR），那么复位命令会触发一个完整的上电序列，需要 t_{PU} 来完成该序列。

图 121. 软件 / 模式位复位命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 122. QPI 模式下的软件复位 / 模式位命令序列



8.11.1 软件复位使能 （RSTEN 66h）

在软件复位命令（RST 99h）前需要立即的复位使能（RSTEN）命令，这样的软件复位是一个双命令的序列。RSTEN 命令结束后，任何命令 （RST 除外）都会清除复位使能条件并防止识别随后的 RST 命令。

8.11.2 软件复位 （RST 99h）命令

RSTEN 命令结束后，复位 （RST）命令会启动软件复位程序。 RSTEN 命令结束后，任何命令 （RST 除外）都会清除复位使能条件并防止识别随后的 RST 命令。

8.11.3 模式位复位 （MBR FFh）命令

模式位复位 （MBR）命令用于使器件从高性能读取模式返回到正常待机模式，此时器件会等待任意新命令。因为硬件 RESET# 输入可能被禁用，并且处于高性能连续读取模式的器件可能不会识别出任何正常的 SPI 命令，因此器件可能无法区分是系统硬件复位还是软件复位命令。在执行系统复位（当 RESET# 信号不可用时）后或在发送软件复位前，建议使用 MBR 命令以确保器件已经退出高性能连续读取模式。

在八个 SCK 周期内， MBR 命令将通过 SI/IO0 发送 1。在这些周期期间， IO1-IO3 被视为 “ 无需关注 ”。

8.12 深度掉电命令

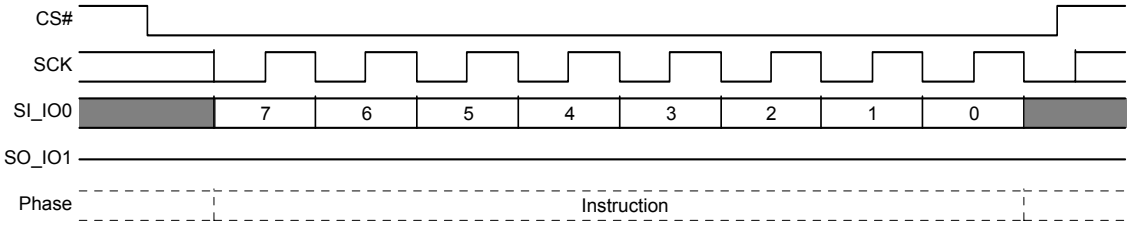
8.12.1 深度掉电 （DPD B9h）命令

虽然在执行正常操作时待机电流相对低，但使用深度掉电命令还可以更加降低待机电流。由于能够降低功耗，深度掉电（DPD）命令对电池供电的应用非常有用 （请参考第 134 页上的 11.6 直流特性节中的 I_{CC1} 和 I_{CC2}）。通过将 CS# 引脚驱动为低电平并发送指令代码 “B9h”，可以启动该命令。

锁存第八位后，必须将 CS# 引脚驱动为高电平。否则，不能执行深度掉电命令。 CS# 被驱动为高电平后，在 t_{DP} （第 141 页上的表 62）期间，器件将进入掉电状态。在掉电状态下，器件只能识别出退出深度掉电模式 / 器件 ID 命令（使器件恢复正常操作）。所有其他命令均被忽略，包括读取状态寄存器命令 （在执行正常操作过程中，该命令一直可用）。这样，在掉电模式下能够实现写保护的最大级别。

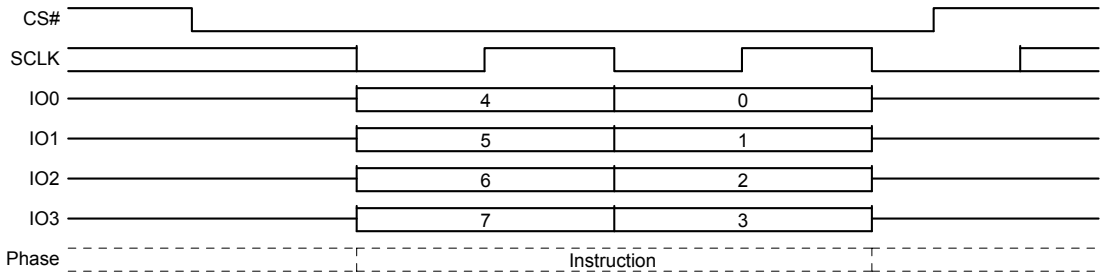
在深度掉电模式下，器件只接受一个硬件复位，该复位会启动上电复位 （用于使器件恢复正常操作）。在正常操作模式下，器件始终被上电，消耗了 I_{CC1} 大小的待机电流。

图 123. 深度掉电 （DPD）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 124. QPI 模式下的深度掉电 （DPD）命令序列



8.12.2 退出深度掉电模式 / 器件 ID （RES ABh）

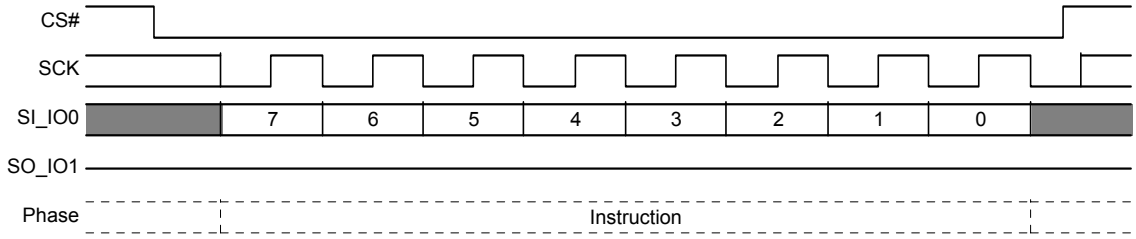
退出深度掉电模式 / 器件 ID 命令是一个多功能命令。该命令可用于使器件退出深度掉电状态或取得器件电子标识 （ID）编号。

要想使器件退出深度掉电状态，首先要将 CS# 引脚驱动为低电平、发送指令代码 “ABh” 并将 CS# 信号驱动为高电平，然后发送该命令。器件恢复正常操作并接受其他命令前，执行退出深度掉电命令需要 t_{RES} （第 141 页上的表 62）时长。在 t_{RES} 期间， CS# 引脚必须保持为高电平状态。

如果不在深度掉电状态下使用该命令的唯一目的是为了获取器件 ID，那么可以通过将 CS# 引脚驱动为低电平并发送指令代码 “ABh”（3 个虚拟字节随后）来启动该命令。然后，在 CLK 的下降沿上移出器件 ID 位，最高有效位（MSB）优先。 S25FL-L 系列的器件 ID 值将在第 129 页上的表 51 中详细说明。所定义的 ID 地址结束后，持续移出的输出会提供未定义数据。通过将 CS# 驱动为高电平来完成该命令。

当用于使器件退出深度掉电状态和获取器件 ID 时，该命令与上面所述相同，并在图 127 和图 128 中详细显示，唯一不同的是， CS# 被驱动为高电平后它必须保持高电平状态 t_{RES} 时间。经过这段时间后，器件将恢复正常操作，并接受其他命令。如果在执行擦除、编程或写周期过程 （BUSY 寄存器等于 1 时）中发送退出深度掉电模式 / 器件 ID 命令，该命令将被忽略，并且不会影响到当前周期。

图 125. 退出深度掉电模式 （RES）命令序列



该命令也支持 QPI 模式。在该模式下，通过 IO0-IO3 信号将指令传入到器件内。

图 126. 退出深度掉电模式 （RES) 命令序列 — QPI 模式

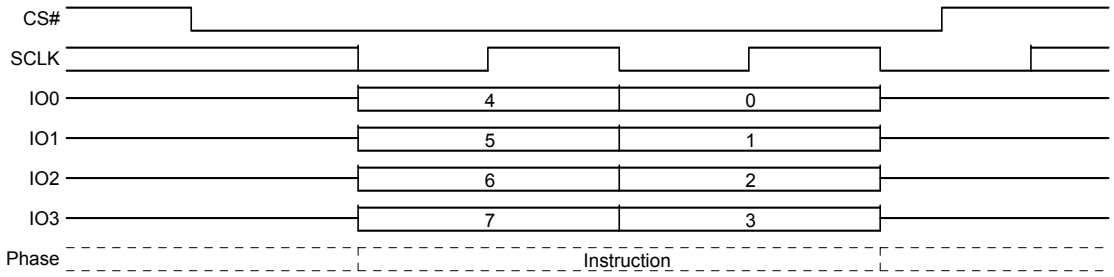
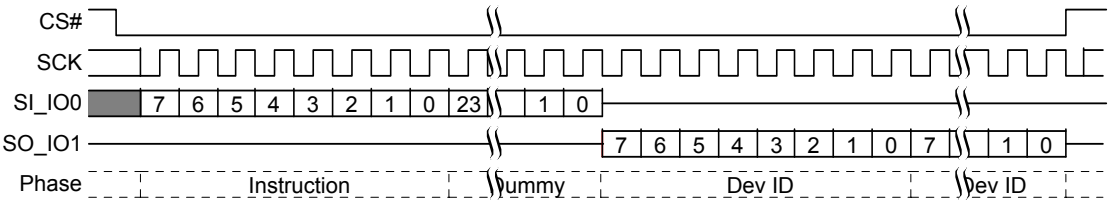
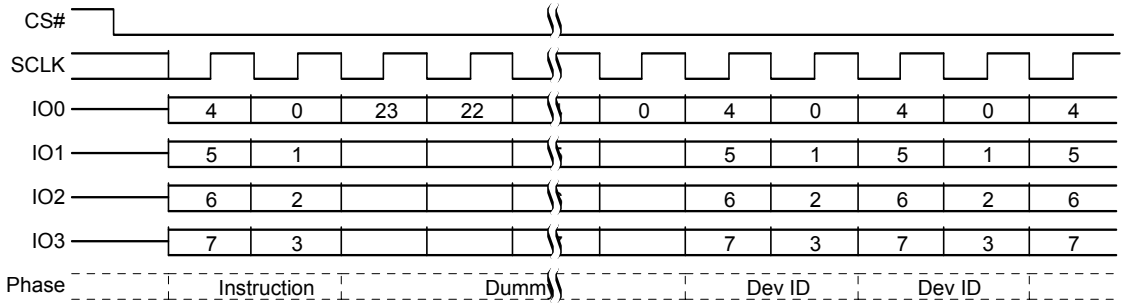


图 127. 读取标识 （RES）命令序列



该命令也支持 QPI 模式。在 QPI 模式下，将通过 IO0-IO3 信号传入指令及传出返回数据。

图 128. QPI 模式下的读取标识 （RES）命令



9. 数据完整性

9.1 擦除次数

表 45. 擦除次数

参数	最小值	单位
每个主闪存阵列扇区的编程 / 擦除次数	10 万	编程 / 擦除周期
安全区域或非易失性寄存器阵列的编程 / 擦除次数 [79]	1 千	

注释：
79. 每次将写命令发送到非易失性寄存器都会使整个非易失性寄存器阵列上的数据增加一个 P/E 周期。

9.2 数据保留时间

表 46. 数据保留时间

参数	测试条件	最小时间	单位
数据保持时间	1 万个编程 / 擦除周期	20	年
	10 万个编程 / 擦除周期	2	

更多有关数据完整性的详细信息，请联系赛普拉斯 FAE 或销售代表。

10. 软件接口参考

10.1 JEDEC JESD216B 串行闪存可发现参数

本文档定义了串行闪存可发现参数 （SFDP）版本 B 的数据结构，在以下各赛普拉斯串行闪存器件中使用：

■ S25FL-L 系列

这些数据结构值是旧版本 SFDP 数据结构 （当前在上述器件存在）的更新值。

根据串行闪存可发现参数的 JEDEC JESD216B 标准，通过读取 SFDP （RSFDP）命令 （5Ah）可以读取单独闪存存储器地址空间的内容，以获取器件标识、特性和配置信息。

SFDP 数据结构包含一个头文件，该表用于识别受支持的 JESD216 头文件的版本并提供一个版本编号以及每个 SFDP 参数表的指针。随后 SFDP 头文件是参数表。然而，可以将参数表放置在 SFDP 地址空间中任何物理位置和顺序。这些表格不需要相邻放置，也不需要按照其头文件表条目的顺序放置。

SFDP 头文件指向下面各参数表：

■ 基本闪存
- ❒ 这是原始的 SFDP 表。在表格的末端添加了一些已修改的字段和新的额外字段。

■ 4 字节地址指令
- ❒ 这是原始的 SFDP 表。在表格末端添加了一些已修改的字段和新的额外字段。

SFDP 地址空间中表格的物理顺序为：SFDP 头文件、基本闪存扇区映射、 4 字节指令。

该 SFDP 地址空间由赛普拉斯编程，主机系统只能对其进行读取操作。

10.1.1 串行闪存可发现参数 （SFDP）地址映射

SFDP 地址空间具有起始地址为 0 的头文件，用于识别 SFDP 数据结构并向每个参数提供一个指针。一个基本闪存参数由 JEDEC JESD216B 标准规定。后面的基本闪存表是 4 字节地址指令的可选参数表。

表 47. SFDP 映射概述

字节地址	说明
0000h	JEDEC JESD216B SFDP 空间中的地址零 — SFDP 头文件的起点
,,,	SFDP 头文件其余部分，后面是未定义空间
0300h	SFDP 参数的开始
...	SFDP JEDEC 参数其余部分，后面是未定义空间

10.1.2 SFDP 头文件字段定义

表 48. SFDP 头文件

SFDP 字节地址	SFDP Dword 名称	数据	说明
00h	SFDP 头文件的第一个 DWORD	53H	读取 SFDP （5Ah）的入口点，即为 SFDP 空间中的地址零 ASCII “S”
01h		46H	ASCII “F”
02h		44h	ASCII “D”
03h		50h	ASCII “P”
04h	SFDP 头文件的第二个 DWORD	06h	SFDP 次要版本 （06h = JEDEC JESD216 版本 B） 该版本与以前所有次要版本向后兼容。 SFDP 读取和分析软件能够用于比设置所指定的次要版本编号更高的版本。针对较高版本设计的软件要能够处理较低版本的操作。例如：设计用于次要版本 0 的 SFDP 读取和分析软件能够用于次要版本 6，而设计用于次要版本 6 的 SFDP 读取和分析软件则要确保能够读取次要版本 0 或 5。因此，用户不应该对次要版本编号进行简单比较，也不应该仅关注软件设计指定的版本编号。完全可以使用更高的次要版本。
05h		01h	SFDP 主要版本 是主要的原始版本。该版本与所有 SFDP 读取和分析软件均兼容。
06h		01h	参数头文件的数量 （以零为基准， 01h = 2 个参数）
07h		FFh	未使用
08h	参数头文件 0 第一个 DWORD	00h	参数 ID LSB （00h = JEDEC SFDP 基本 SPI 闪存参数）
09h		06h	参数次要版本 （06h = JESD216 版本 B）
0Ah		01h	参数主要版本 （01h = 原始主要版本 — 所有 SFDP 软件均与该版本兼容）。
0Bh		10h	参数表长度 （单位为双字 = Dwords = 4 字节） 10h = 16 Dwords
0Ch	参数头文件 0 第二个 DWORD	00h	参数表指针字节 0 （Dword = 4 字节对齐） JEDEC 基本 SPI 闪存参数字节偏移 = 0300h 地址
0Dh		03h	参数表指针字节 1
0Eh		00h	参数表指针字节 2
0Fh		FFh	参数 ID MSB （FFh = JEDEC 定义的参数）
10h	参数头文件 1 第一个 DWORD	84h	参数 ID LSB （84h = SFDP 4 字节地址指令参数）
11h		00h	参数次要版本 （00h = 初始版本，如 JESD216 版本 B 的定义）
12h		01h	参数主要版本 （01h = 原始主要版本 — 识别该参数 ID 的所有 SFDP 软件均与该主要版本兼容）。
13h		02h	参数表长度 （单位为双字 = Dwords = 4 字节）（2h = 2 Dwords）
14h	参数头文件 1 第二个 DWORD	40h	参数表指针字节 0 （Dword = 4 字节对齐） JEDEC 参数字节偏移 = 0340h
15h		03h	参数表指针字节 1
16h		00h	参数表指针字节 2
17h		FFh	参数 ID MSB （FFh = JEDEC 定义参数）

10.1.3 JEDEC SFDP 基本 SPI 闪存参数

表 49. 基本 SPI 闪存参数， JEDEC SFDP 版本 B

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
00h	JEDEC 基本闪存参数 Dword-1	E5h	SFDP JEDEC 参数开始 位 7:5 = 未使用 = 111b 位 4:3 = 05h 是易失性状态寄存器写入指令和状态寄存器的非易失性默认值 = 00b 位 2 = 编程缓冲区 > 64 个字节 = 1 位 1:0 = 器件支持统一的 4 KB 擦除 = 01b
01h		20h	位 15:8 = 统一的 4 KB 擦除指令 = 20h
02h		FBh	位 23 = 未使用 = 1b 位 22 = 指出器件是否支持 QOR （1-1-4）读取。若支持，该值为 1b 位 21 = 指出器件是否支持 QIO （1-4-4）读取。若支持，该值为 1b 位 20 = 指出器件是否支持 DIO （1-2-2）读取。若支持，该值为 1b 位 19 = 指出器件是否支持 DDR。若支持，该值为 1b 位 18:17 = 指出地址字节的数量 （3 或 4 字节），该位值为 01b 位 16 = 指出器件是否支持快速读取 SIO 和 DIO。若支持，该值为 1b
03h		FFh	位 31:24 = 未使用 = FFh
04h	JEDEC 基本闪存参数 Dword-2	FFh	容量 （单位为位，基于零）， 128 Mb = 07FFFFFFh256 Mb = 0FFFFFFFh512 Mb = 1FFFFFFFh
05h		FFh	
06h		FFh	
07h		07h 128 Mb0Fh 256 Mb1Fh 512 Mb	
08h	JEDEC 基本闪存参数 Dword-3	48h	位 7:5 = QIO 模式周期的数量 = 010b 位 4:0 = 快速读取 QIO 虚拟周期的数量 = 01000b （对于默认延迟代码）
09h		EBh	快速读取 QIO 指令代码
0Ah		08h	位 23:21 = 四线输出模式周期的数量 = 000b 位 20:16 = 四线输出虚拟周期的数量 = 01000b （对于默认延迟代码）
0Bh		6Bh	四线输出指令代码
0Ch	JEDEC 基本闪存参数 Dword-4	08h	位 7:5 = 双线输出模式周期的数量 = 000b 位 4:0 = 双线输出虚拟周期的数量 = 01000b （对于默认延迟代码）
0Dh		3Bh	双线输出指令代码
0Eh		88 h	位 23:21 = 双线 I/O 模式周期的数量 = 100b 位 20:16 = 双线 I/O 虚拟周期的数量 = 01000b （对于默认延迟代码）
0Fh		BBh	双线 I/O 指令代码
10h	JEDEC 基本闪存参数 Dword-5	FEh	位 7:5 RFU = 111b 位 4 = 支持 QPI = 1b 位 3:1 RFU = 111b 位 0 = 不支持所有双线指令 = 0b
11h		FFh	位 15:8 = RFU = FFh
12h		FFh	位 23:16 = RFU = FFh
13h		FFh	位 31:24 = RFU = FFh
14h	JEDEC 基本闪存参数 Dword-6	FFh	位 7:0 = RFU = FFh
15h		FFh	位 15:8 = RFU = FFh
16h		FFh	位 23:21 = 所有双线指令的模式周期 = 111b 位 20:16 = 所有双线指令的虚拟周期 = 11111b
17h		FFh	所有双线指令代码

表 49. 基本 SPI 闪存参数， JEDEC SFDP 版本 B （续）

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
18h	JEDEC 基本闪存参数 Dword-7	FFh	位 7:0 = RFU = FFh
19h		FFh	位 15:8 = RFU = FFh
1Ah		48h	位 23:21 = QPI 模式周期的数量 = 010b 位 20:16 = QPI 虚拟周期的数量 = 01000b （对于默认延迟代码）
1Bh		EBh	QPI 快速读取指令代码 （QPI 使能时，与 QIO 相同）
1Ch	JEDEC 基本闪存参数 Dword-8	0Ch	扇区 1 类大小 = 2^N 字节 = 4 KB = 0Ch （统一为 4 KB）
1Dh		20h	扇区 1 类指令
1Eh		0Fh	扇区 2 类大小 = 2^N 字节 = 32 KB = 0Fh （统一为 32 KB）
1Fh		52h	扇区 2 类指令
20h	JEDEC 基本闪存参数 Dword-9	10h	扇区 3 类大小 = 2^N 字节 = 64 KB = 10h （统一为 64 KB）
21h		D8h	扇区 3 类指令
22h		00h	扇区 4 类大小 = 2^N 字节 = 不支持 = 00h
23h		FFh	扇区 4 类指令 = 不支持 = FFh
24h	JEDEC 基本闪存参数 Dword-10	21h	位 31:30 = 扇区类型 4 擦除，典型时间单位 （00b: 1 ms、 01b: 16 ms、 10b: 128 ms、 11b: 1 s）= RFU = 11b 位 29:25 = 扇区类型 4 擦除，典型时间计数 = RFU = 1_1111b （典型擦除时间 = 计数 +1 * 单位 = RFU = 11111） 位 24:23 = 扇区类型 3 擦除，典型时间单位 （00b: 1 ms、 01b: 16 ms、 10b: 128 ms、 11b: 1 s）= 16 ms = 01b 位 22:18 = 扇区类型 3 擦除，典型时间计数 = 1_0000b （典型擦除时间 = 计数 +1 * 单位 = 17 * 16 ms = 272 ms） 位 17:16 = 扇区类型 2 擦除，典型时间单位 （00b: 1 ms、 01b: 16 ms、 10b: 128 ms、 11b: 1 s）= 16 ms = 01b 位 15:11 = 扇区类型 2 擦除，典型时间计数 = 0_1011b（典型擦除时间 = 计数 +1 * 单位 = 12 * 16 ms = 192 ms） 位 10:9 = 扇区类型 1 擦除，典型时间单位 （00b: 1 ms、 01b: 16 ms、 10b: 128 ms、 11b: 1 s）= 16 ms = 01b 位 8:4 = 扇区类型 1 擦除，典型时间计数 = 0_0010b （典型擦除时间 = 计数 +1 * 单位 = 3*16 mS = 48 ms） 位 3:0 = 计数 = （最长擦除时间 /（2 * 典型擦除时间））- 1 = 0001b 典型的擦除时间与最长擦除时间之间的倍数 = 4x 最长擦除时间 = 2*（计数值 +1） * 典型擦除时间 二进制字段：11-11111-01-10000-01-01011-01-00010-0001 半字节格式：1111_1110_1100_0001_0101_1010_0010_0001 十六进制格式：FE_C1_5A_21
25h		5Ah	
26h		C1h	
27h		FEh	

表 49. 基本 SPI 闪存参数， JEDEC SFDP 版本 B （续）

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
28h	JEDEC 基本闪存参数 Dword-11	81h	位 23 = 字节编程典型时间，附加字节单位 （0b：1 us、 1b：8 us） = 1 us = 0b
29h		E4h	位 22:19 = 字节编程典型时间，附加字节计数，（计数值 +1） * 单位，计数值 = 0101b，（典型编程时间 = 计数值 +1 * 单位 = 6*1µs = 6 µs 位 18 = 字节编程典型时间，第一字节单位 （0b:1 µs、 1b:8 µs） = 1 µs = 0b 位 17:14 = 字节编程典型事件，第一字节计数，（计数值 +1） * 单位，计数值 = 0111b，（典型编程时间 = 计数值 +1 * 单位 = 8 * 1µs = 8 µs 位 13 = 页编程典型时间单位 （0: 8us、 1: 64us）= 64 us = 1b 位 12:8 = 页编程典型时间计数，（计数值 +1） * 单位，计数值 = 00111b （典型编程时间 = 计数 +1 * 单位 = 5*64 µs = 320 µs） 位 7:4 = N = 1000b，页大小 = 2^N = 256B 页 位 3:0 = 计数值 = 0001b = （最大页编程时间 /（2 * 典型页编程时间）） - 1 典型页编程时间与最大页编程时间之间的倍数 = 4x 最大页编程时间 = 2* （计数值 +1） * 典型页编程时间 二进制字段：0-0101-0-0111-1-00100-1000-0001 半字节格式：0010_1001_1110_0100_1000_0001 十六进制格式：29_74_81
2Ah		29h	
2Bh		D1h 128Mb E2h 256 Mb	128Mb = 1101_0001b = D1h 位 31 预留 = 1b 位 30:29 = 芯片擦除，典型时间单位 （00b：16 ms、 01b：256 ms、 10b：4 s、 11b：64 s） = 4 s = 10b 位 28:24 = 芯片擦除，典型时间计数，（计数值 +1） * 单位，计数值 = 10001b，（典型编程时间 = 计数值 +1 * 单位 = 18 * 4s = 72 s） 256 Mb = 1110_0010b = E2h 位 31 预留 = 1b 位 30:29 = 芯片擦除，典型时间单位 （00b：16 ms、 01b：256 ms、 10b：4 s、 11b：64 s） = 64 s = 11b 位 28:24 = 芯片擦除，典型时间计数，（计数值 +1） * 单位，计数值 = 00010b，（典型编程时间 = 计数值 +1 * 单位 =3 * 64s = 192 s）

表 49. 基本 SPI 闪存参数， JEDEC SFDP 版本 B （续）

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
2Ch	JEDEC 基本闪存参数 Dword-12	CCh	位 31 = 支持挂起和恢复 = 0b 位 30:29 = 挂起正在进行的擦除操作的最大延迟单位（00b: 128 ns、01b: 1 us、10b: 8 µs、11b: 64 µs） = 8 µs = 10b 位 28:24 = 挂起正在进行的擦除操作的最大延迟计数 = 00100b，最长擦除挂起延迟 = 计数 +1 * 单位 = 5*8µs = 40 µs 位 23:20 = 擦除恢复到挂起的间隔计数 = 0001b，间隔 = 计数 +1 * 64µs = 2 * 64µs = 128 µs 位 19:18 = 挂起正在进行的编程操作的最大延迟单位（00b: 128 ns、01b: 1 µs、10b: 8 µs、 11b: 64 µs）= 8 µs = 10b 位 17:13 = 挂起正在进行的编程操作的最大延迟计数 = 00100b，最长擦除挂起延迟 = 计数 +1 * 单位 = 5*8µs = 40 µs 位 12:9 = 编程恢复到挂起的间隔计数 = 0001b，间隔 = 计数 +1 * 64µs = 2 * 64µs = 128 µs 位 8 = RFU = 1b 位 7:4 = 擦除挂起期间被禁止的操作 = xxx0b：不能在任何地方启动新的擦除操作 （不允许擦除嵌套） + xx0xb：不能在任何地方启动页编程 + x1xxb：在擦除挂起的扇区大小中不能启读取操作 + 1xxxb：位 5:4 中的擦除和编程限制能够满足需求 = 1100b 位 3:0 = 擦除挂起期间被禁止的操作 = xxx0b：不能在任何地方启动新的擦除操作 （不允许擦除嵌套） + xx0xb：不能在任何地方启动新的页编程 （不允许编程嵌套） + x1xxb：在编程挂起的页大小中不能启读取操作 + 1xxxb：位 1:0 中的擦除和编程限制能够满足需求 = 1100b 二进制字段：0-10-00100-0001-10-00100-0001-1-1100-1100 半字节格式：0100_0100_0001_1000_1000_0011_1100_1100 十六进制格式：44_18_83_CC
2Dh		83h	
2Eh		18h	
2Fh		44h	
30h	JEDEC 基本闪存参数 Dword-13	7Ah	位 31:24 = 擦除挂起指令 = 75h 位 23:16 = 擦除恢复指令 = 7Ah 位 15:8 = 编程挂起指令 = 75h 位 7:0 = 编程恢复指令 = 7Ah
31h		75h	
32h		7Ah	
33h		75h	
34h	JEDEC 基本闪存参数 Dword-14	F7h	位 31 = 支持深度掉电 = 支持 = 0 位 30:23 = 进入深度掉电指令 = B9h = 1011_1001b 位 22:15 = 推出深度掉电指令 = ABh = 1010_1011b 位 14:13 = 退出深度掉电模式到下一个操作的延迟单位 = （00b: 128 ns、 01b：1 µs、 10b：8 µs、 11b：64 µs）= 1 µs = 01b 位 12:8 = 退出深度掉电模式到下一个操作的延迟计数 = 00010b，退出深度掉电模式到下一个操作的延迟 =（计数 +1） * 单位 = 3 * 1µs = 3 µs 位 7:4 = RFU = Fh 位 3:2 = 状态寄存器轮询器件繁忙 = 01b ：支持旧式的状态轮询 = 通过使用 05h 指令读取状态寄存器并检查 WIP 位 [0]（0= 就绪； 1= 繁忙）。 位 1:0 = RFU = 11b 二进制字段：0-10111001-10101011-01-00010-1111-01-11 半字节格式：0101_1100_1101_0101_1010_0010_1111_0111 十六进制格式：5C_D5_A2_F7
35h		A2h	
36h		D5h	
37h		5Ch	

表 49. 基本 SPI 闪存参数， JEDEC SFDP 版本 B （续）

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
38h	JEDEC 基本闪存参数 Dword-15	22h	位 31:24 = RFU = FFh
39h		F6h	位 23 = 保持或写保护禁用 = 不支持 = 0b
3Ah		5Dh	位 22:20 = 四线使能要求 = 101b：QE 是状态寄存器 2 的位 1。使用读取状态指令 05h 便可读取状态寄存器 1。通过指令 35h 读取状态寄存器 2。通过带有两个数据字节（其中的第一个字节为 “1”）的写入状态指令 01h 设置 QE。通过带有两个数据字节 （其中的第二个字节的位 1 为 “0”）的写入状态指令来将其清零。
3Bh		FFh	位 19:16 0-4-4 模式进入方法 = xxx1b：模式位 [7:0] = A5h 注意：使用该模式前，需要设置 QE + x1xxb：模式位 [7:0] = Axh + 1xxxb：RFU = 1101b 位 15:10 0-4-4 模式退出方法 = xx_xxx1b：模式位 [7:0] = 00h，那么在当前读取操作结束时，将终止该模式 + xx_1xxxb：8 个周期内在 DQ0-DQ3 上输入 Fh （模式位复位）。这样会使模式在执行下一个读操作前被终止。 + 11_x1xx: RFU = 111101 位 9 = 0-4-4 模式支持 = 1 位 8:4 = 4-4-4 模式使能序列 = 0_0010b：发出 38h 指令 位 3:0 = 4-4-4 模式禁用序列 = 0010b：4-4-4 发出 F5h 指令 二进制字段：11111111-0-101-1101-111101-1-00010-0010 半字节格式：1111_1111_0101_1101_1111_0110_0010_0010 十六进制格式：FF_5D_F6_22

表 49. 基本 SPI 闪存参数， JEDEC SFDP 版本 B （续）

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
3CH	JEDEC 基本闪存参数 Dword-16	E8h	位 31:24 = 进入 4 字节地址模式 = xxxx_xxx1b：发出指令 B7 （无需事先使能写入） = xxxx_1xxxb：使用 8 位易失性组寄存器来定义 A[30:24] 位。 MSb （位 [7]）用于使能 / 禁用 4 字节地址模式。 MSb 为 “1” 时， 4 字节地址模式有效， A[30:24] 位为无需关注项。使用指令 16h 进行读取。写指令为 17h，数据长度为 1 字节。 MSb 被清零时，正确设置 A[30:24] 位，以选择有效的 128 Mb 段，并使用 3 字节地址。 + xx1x_xxxxb：支持专用的 4 字节地址指令集。请查看供应商数据手册以了解指令集或查看 4 字节地址参数表。 + 1xxx_xxxxb：预留 = 10100001b 位 23:14 = 退出 4 字节地址模式 = xx_xxxx_xxx1b: 发出指令 E9h 以退出 4 字节地址模式（无需使用写入使能指令 06h） = xx_xxxx_1xxxb：使用 8 位易失性组寄存器来定义 A[30:24] 位。 MSb （位 [7]）用于使能 / 禁用 4 字节地址模式。 MSb 被清零时，将进入 3 字节地址模式，并且 A30:A24 用于选择有效的 128 Mb 段。使用指令 16h 进行读取。写指令为 17h，数据长度为 1 字节。 + xx_xx1x_xxxxb：硬件复位 + xx_x1xx_xxxxb：软件复位 （请参见该 DWORD 中的位 13:8） + xx_1xxx_xxxxb：电源循环 + x1_xxxx_xxxxb：预留 + 1x_xxxx_xxxxb: 预留 = 1111100001b 位 13:8 = 支持软复位和挽救序列 = x1_xxxxb：发出复位使能指令 66h，然后发出复位指令 99h。根据器件的操作模式，复位使能和复位序列可能在 1、 2 或 4 条线上被发送。 = 010000b 位 7 = RFU = 1 位 6:0 = 易失性或非易失性寄存器和状态寄存器 1 的写使能指令 = xxx_1xxxb：非易失性 / 易失性状态寄存器 1 上电到向非易失性状态寄存器写入最后数值期间，使用指令 06h 使能对非易失性状态寄存器进行的写入操作。上电后，易失性状态寄存器可能被激活，从而能重新设置非易失性状态寄存器，使用指令 50h 来使能写入和激活易失性状态寄存器。 + x1x_xxxxb：预留 + 1xx_xxxxb：预留 = 1101000b 二进制字段：10100001-1111100001-010000-1-1101000 半字节格式：1010_0001_1111_1000_0101_0000_1110_1000 十六进制格式：A1_F8_60_E8
3Dh		50h	
3Eh		F8h	
3Fh		A1h	

10.1.4 JEDEC SFDP 4 字节地址指令表

表 50. 4 字节地址指令， JEDEC SFDP 版本 B

SFDP 参数的相对字节地址	SFDP Dword 名称	数据	说明
40h	JEDEC 4 字节地址指令参数 Dword-1h	FBh	支持 = 1，不支持 = 0 位 31:20 = RFU = FFFh 位 19 = 支持非易失性单独扇区锁定写入命令，指令 = E3h = 0 位 18 = 支持非易失性单独扇区锁定写入命令，指令 = E2h = 0 位 17 = 支持易失性单独扇区锁定写入命令， E1h = 1 位 16 = 支持易失性单独扇区锁定读取命令，指令 = E0h = 1 位 15 = 支持 （1-4-4）DTR_Read 命令，指令 = EEh = 1 位 14 = 支持 （1-2-2）DTR_Read 命令，指令 = BEh = 0 位 13 = 支持 （1-1-1）DTR_Read 命令，指令 = 0Eh = 0 位 12 = 支持擦除命令 – 4 类 = 0 位 11 = 支持擦除命令 – 3 类 = 1 位 10 = 支持擦除命令 – 2 类 = 1 位 9 = 支持擦除命令 – 1 类 = 1 位 8 = 支持 （1-4-4）页编程命令，指令 = 3Eh = 0 位 7 = 支持 （1-1-4）页编程命令，指令 = 34h = 1 位 6 = 支持 （1-1-1）页编程命令，指令 = 12h = 1 位 5 = 支持 （1-4-4）FAST_READ 命令，指令 = ECh = 1 位 4 = 支持 （1-1-4）FAST_READ 命令，指令 = 6Ch = 1 位 3 = 支持 （1-2-2） FAST_READ 命令，指令 = BCh = 1 位 2 = 支持 （1-1-2）FAST_READ 命令，指令 = 3Ch = 1 位 1 = 支持 （1-1-1）FAST_READ 命令，指令 = 0Ch = 1 位 0 = 支持 （1-1-1）READ 命令，指令 = 13h = 1 半字节格式：1111_1111_1111_0011_1000_1110_1111_1011 十六进制格式：FF_F3_8E_FB
41H		8Eh	
42h		F3h	
43h		FFh	
44h	JEDEC 4 字节地址指令参数 Dword-2h	21h	位 31:24 = FFh = 4 类擦除的指令：预留 位 23:16 = DCh = 3 类擦除的指令：擦除区块 位 15:8 = 52h = 2 类擦除的指令：擦除半区块 位 7:0 = 21h = 1 类擦除的指令：擦除扇区
45h		52h	
46h		DCh	
47h		FFh	

10.2 器件 ID 地址映射

10.2.1 字段定义

表 51. 制造商器件类型

字节地址	数据	说明
00h	01h	赛普拉斯制造商 ID
01h	60h	器件 ID MSB — 存储器接口类型
02h	18h (128 Mb) 19h （256 Mb）	器件 ID LSB — 容量和特性
03h	未定义	预留供将来使用

表 52. 器件的唯一 ID

字节地址	数据	说明
00h 到 07	8 字节大小的唯一器件 ID	64 位大小的唯一 ID，请参考第 24 页上的 6.3.1 器件的唯一 ID 节。

10.3 初始供应状态

该器件由赛普拉斯生产，其非易失性位如下设置：

- 整个存储器阵列被擦除：例如，所有位均被设为 1 （因此每个字节都包含 FFh）。
- 安全区域地址空间的全部字节都被擦除为 FFh。
- SFDP 地址空间包含如 SFDP 地址空间的说明部分中所定义的值。
- ID 地址空间包含如 ID 地址空间的说明部分中所定义的值。
- 非易失性状态寄存器 1 包含 00h （全部 SR1NV 位均被清除为 0）。
- 非易失性配置寄存器 1 包含 00h。
- 非易失性配置寄存器 2 包含 60h。
- 非易失性配置寄存器 3 包含 78h。
- 密码寄存器包含 FFFFFFFF-FFFFFFFFh
- 对于标准器件， IRP 寄存器位是 FFFDh。对于高安全性器件， IRP 寄存器位是 FFFFh。
- PRPR 寄存器位是 FFFFFFh

11. 电气规范

11.1 最大绝对额定值

（注释 80）

存储温度，塑料包装 .....–65°C 到 +150°C

通电时的环境温度 .....–65°C 到 +125°C

V_{CC}.....–0.5 V 到 +4.0 V

对地 （VSS）输入电压 （注意 1） .....–0.5 V 到 V_{CC} + 0.5 V

输出短路电流 （注意 2） .....100 mA

注释：

80. 请参考第 131 页上的 11.4.3 输入信号过冲节以了解信号切换期间受允许的最大值。
81. 不能有多个输出同时短路接地。并且短路时间不能超过一秒。
82. 器件在高于 “ 最大绝对额定值 ” 部分中所列出的值工作可能会造成永久性的损害。它只是一个额定值，并不表示器件一定要采用这些值，或者采用本数据手册操作部分所显示的数值都能正常运行。如果让器件长时间在绝对最大额定值情况下运行，会影响器件的可靠性。

11.2 闩锁特性

表 53. 闩锁规范

说明	最小值	最大值	单位
所有输入连接上相对于 V_{SS} 的输入电压	–1.0	V_{CC} + 1.0	V
在所有 I/O 连接上相对于 V_{SS} 的输入电压			
V_{CC} 电流	–100	+100	mA

注释：

83. 不包括 V_{CC} 电源。测试条件：V_{CC} = 3.0 V，每次检查一个连接， V_{SS} 下的连接不被检查。

11.3 热电阻

表 54. 热阻

参数	说明	SO316	SOC008	WND008	WNG008	FAB024	FAC024	单位
Theta JA	热阻 （结至环境）	38	53.27	32	18	39	39	°C/W

11.4 工作范围

工作范围定义了一些限值，在这些限值之间能够保证设备正常运行。

11.4.1 供电电压

V_{CC}	2.7 V 到 3.6 V

11.4.2 温度范围

参数	符号	器件	规格		单位
			最小值	最大值	
环境温度	T_A	工业级 （I）	–40	+85	°C
		扩展工业级 （V）		+105	
		扩展型 （N）		+125	
		汽车级， AEC-Q100 等级 3 （A）		+85	
		汽车级， AEC-Q100 等级 2 （B）		+105	
		汽车级， AEC-Q100 等级 1 （M）		+125	

11.4.3 输入信号过冲

在直流条件下，输入或 I/O 信号电压应处于从 V_{SS} 到 V_{CC} 的范围内。在电压转换期间，输入或 I/O 信号可能低于 V_{SS}，降到 –1.0 V 或升到 V_{CC} +1.0 V，时间最长为 20 ns。

图 129. 最大负过冲波形

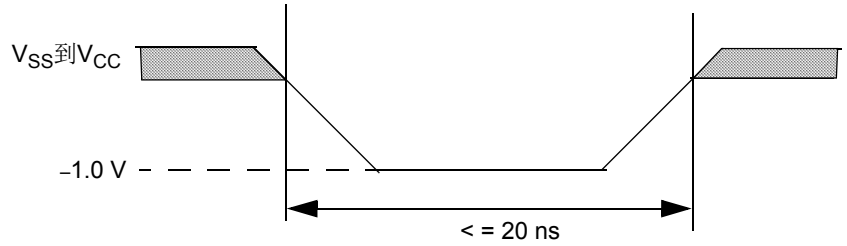
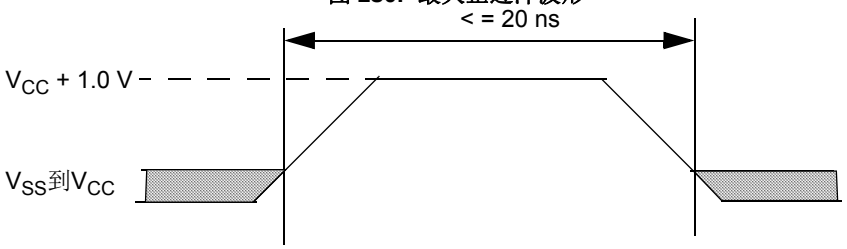


图 130. 最大正过冲波形



11.5 上电和掉电

发生上电或掉电 （CS# 的电压必须采用 V_{CC} 上的电压）时，不能选择器件，直到 V_{CC} 准确满足以下值：

- 上电时为 V_{CC} （最小值）并在 t_{PU} 的更长延迟期间持续保持该值
- 掉电时为 V_{SS}

用户不能输入任何命令，直到 V_{CC} 上升超过 V_{CC} 最小阈值后再经过 t_{PU} 的有效延迟时间结束为止。请参见图 131。但是在 t_{PU} 期间，如果 V_{CC} 返回到低于 V_{CC} （最小值）的电平状态，将不能保证器件正常操作。在 t_{PU} 结束前，不应该发出任何命令。

在 t_{PU} 期间，器件消耗的电流为 I_{POR}。上电 （t_{PU}）后，器件将进入待机模式，并消耗 CMOS 待机电流 （I_{SB}）， WEL 位被复位。

在掉电期间或电压降至 V_{CC}(cut-off) 以下时，电压必须在 t_{PD} 的时间内保持小于 V_{CC}(LOW)，这样器件上电后能够正常初始化。请参见第 133 页上的图 132。如果在电压下降过程中， V_{CC} 保持为高于 V_{CC} （关闭）的状态，那么当 V_{CC} 再次超过 V_{CC} 最小值时，器件将被初始化，并正常运行。如果上电后不能正常完成上电复位 （POR）事件，那么当激活 RESET# 信号或接收到一个软件复位命令（RST 99h 随后的 RSTEN 66h）时，器件将重启 POR 程序。

在执行嵌入式编程或擦除操作期间， V_{CC} 下降到 V_{CC} （关闭）以下，嵌入式操作可能被中止，存储器区域中的数据可能不正确。

为了稳定器件的 V_{CC} 电源，必须采取正常的预防措施进行电源轨退偶。系统中的每个器件都应该由封装连接附近大小合适的电容对 V_{CC} 轨进行退耦 （此电容通常为 0.1 µF）。

表 55. 上电 / 掉电电压和时序

符号	参数	最小值	最大值	单位
V_{CC} （最小值）	V_{CC} （最小工作电压）	2.7	–	V
V_{CC} （关闭）	V_{CC} （需要重新初始化时要求的截断电压）	2.4	–	
V_{CC} （低电平）	V_{CC} （确保发生初始化的低电压）	1.0	–	
t_{PU}	从 V_{CC} 为最小值到进行读取操作的时间	–	300	µs
t_{PD}	V_{CC} （低电平）时间	10.0	–	

图 131. 上电

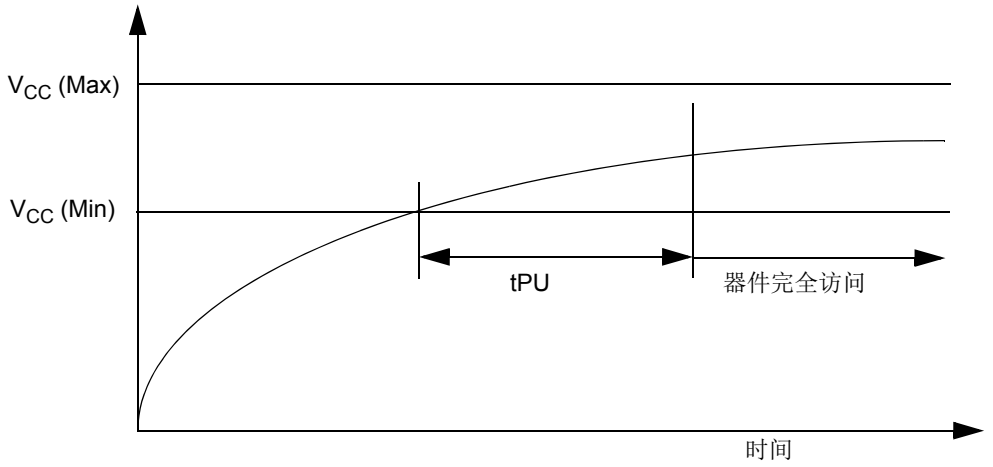
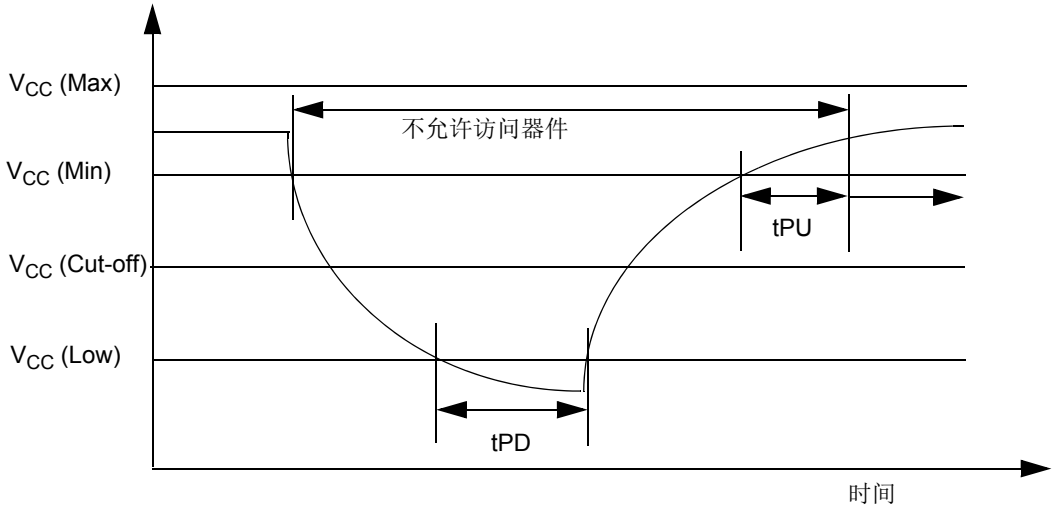


图 132. 掉电或电压下降



11.6 直流特性

表 56. 直流特性 — 工作温度范围 –40°C 到 +85°C

符号	参数	测试条件	最小值	典型值 [84]	最大值	单位
V_{IL}	输入低电压	–	–0.5	–	$0.3 \times V_{CC}$	V
V_{IH}	输入高电压	–	$0.7 \times V_{CC}$	–	V_{CC}+0.4	
V_{OL}	输出低电压	I_{OL} = 0.1 mA， V_{CC} = V_{CC} （最小值）		–	0.2	
V_{OH}	输出高电压	I_{OH} = –0.1 mA	V_{CC} - 0.2	–		
I_{LI}	输入漏电流	V_{CC} = V_{CC} Max、 V_{IN} = V_{IH} 或 V_{SS}、CS# = V_{IH}	–	–	±2	µA
I_{LO}	输出漏电流	V_{CC} = V_{CC} Max、 V_{IN} = V_{IH} 或 V_{SS} CS# = V_{IH}	–	–	±2	
I_{CC1}	活跃电流 （读取）[85]	串行 SDR @ 5 MHz 串行 SDR @ 10 MHz 串行 SDR @ 20 MHz 串行 SDR @ 50 MHz 串行 SDR @ 108 MHz 串行 SDR @ 133 MHz QIO/QPI SDR @ 108 MHz QIO/QPI SDR @ 133 MHz QIO/QPI DDR @ 30 MHz QIO/QPI DDR @ 66 MHz	–	10 10 10 15 20 22 25 30 15 22	15 15 15 20 25 30 30 35 20 25	mA
I_{CC2}	活跃电流 （页编程）	CS# = V_{CC}	–	40	50	
I_{CC3}	活跃电流 （WRR 或 WRAR）	CS# = V_{CC}	–	24	30	
I_{CC4}	活跃电流 （SE）	CS# = V_{CC}	–	20	25	
I_{CC5}	活跃电流（HBE、BE）	CS# = V_{CC}	–	25	35	
I_{SB}	待机电流	RESET#、CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}：SPI、双线 I/O 和四线 I/O 模式	–	20	35	µA
		RESET#、CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}：QPI 模式	–	40	60	
I_{DPD}	深度掉电模式下的电流	RESET#、CS# = V_{CC}，V_{IN} = GND 或 V_{CC}	–	2	20	
I_{POR}	上电复位电流	RESET#， CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}	–	15	30	mA

注释：
84. 典型值的条件为 T_{AI} = 25°C 和 V_{CC} = 3.0 V。
85. 读取返回数据期间，输出处于悬空状态。不包含输出开关电流。

表 57. 直流特性 — 工作温度范围 –40°C 到 +105°C

符号	参数	测试条件	最小值	典型值 [86]	最大值	单位
V_{IL}	输入低电压	–	–0.5	–	$0.3 \times V_{CC}$	V
V_{IH}	输入高电压	–	$0.7 \times V_{CC}$	–	V_{CC}+0.4	
V_{OL}	输出低电压	I_{OL} = 0.1 mA， V_{CC} = V_{CC} （最小值）	–	–	0.2	
V_{OH}	输出高电压	I_{OH} = –0.1 mA	V_{CC} - 0.2	–	–	
I_{LI}	输入漏电流	V_{CC} = V_{CC} Max、 V_{IN} = V_{IH} 或 V_{SS} CS# = V_{IH}	–	–	±4	µA
I_{LO}	输出漏电流	V_{CC} = V_{CC} Max、 V_{IN} = V_{IH} 或 V_{SS} CS# = V_{IH}	–	–	±4	
I_{CC1}	活跃电流 （读取） [87]	串行 SDR @ 5 MHz 串行 SDR @ 10 MHz 串行 SDR @ 20 MHz 串行 SDR @ 50 MHz 串行 SDR @ 108 MHz 串行 SDR @ 133 MHz QIO/QPI SDR @ 108 MHz QIO/QPI SDR @ 133 MHz QIO/QPI DDR @ 30 MHz QIO/QPI DDR @ 66 MHz	–	10 10 10 15 20 22 25 30 15 22	15 15 15 20 30 30 35 30 20 25	mA
I_{CC2}	活跃电流 （页编程）	CS# = V_{CC}	–	40	50	
I_{CC3}	活跃电流 （WRR 或 WRAR）	CS# = V_{CC}	–	24	35	
I_{CC4}	活跃电流 （SE）	CS# = V_{CC}	–	20	30	
I_{CC5}	活跃电流 （HBE、 BE）	CS# = V_{CC}	–	25	35	
I_{SB}	待机电流	RESET#、CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}：SPI、双线 I/O 和四线 I/O 模式	–	20	45	µA
		RESET#、CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}：QPI 模式	–	40	80	
I_{DPD}	深度掉电模式下的电流	RESET#、CS# = V_{CC}，V_{IN} = GND 或 V_{CC}	–	2	30	
I_{POR}	上电复位电流	RESET#、CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}	–	15	30	mA

注释：
86. 典型值的条件为 T_{AI} = 25°C 和 V_{CC} = 3.0 V。
87. 读取返回数据期间，输出处于悬空状态。不包含输出开关电流。

表 58. 直流特性 — 工作温度范围 –40°C 到 +125°C

符号	参数	测试条件	最小值	典型值 [88]	最大值	单位
V_{IL}	输入低电压	–	–0.5	–	$0.3 \times V_{CC}$	V
V_{IH}	输入高电压	–	$0.7 \times V_{CC}$	–	V_{CC}+0.4	
V_{OL}	输出低电压	I_{OL} = 0.1 mA，V_{CC} = V_{CC}（最小值）	–	–	0.2	
V_{OH}	输出高电压	I_{OH} = –0.1 mA	V_{CC} - 0.2	–	–	
I_{LI}	输入漏电流	V_{CC} = V_{CC} Max、V_{IN} = V_{IH} 或 V_{SS}，CS# = V_{IH}	–	–	±4	µA
I_{LO}	输出漏电流	V_{CC} = V_{CC} Max、 V_{IN} = V_{IH} 或 V_{SS} CS# = V_{IH}	–	–	±4	
I_{CC1}	活跃电流 （读取）[89]	串行 SDR @ 5 MHz 串行 SDR @ 10 MHz 串行 SDR @ 20 MHz 串行 SDR @ 50 MHz 串行 SDR @ 108 MHz 串行 SDR @ 133 MHz QIO/QPI SDR @ 108 MHz QIO/QPI SDR @ 133 MHz QIO/QPI DDR @ 30 MHz QIO/QPI DDR @ 66 MHz	–	10 10 10 15 20 22 25 30 15 22	15 15 15 20 30 30 35 35 20 25	mA
I_{CC2}	活跃电流 （页编程）	CS# = V_{CC}	–	40	50	
I_{CC3}	活跃电流 （WRR 或 WRAR）	CS# = V_{CC}	–	24	35	
I_{CC4}	活跃电流 （SE）	CS# = V_{CC}	–	20	30	
I_{CC5}	活跃电流 （HBE、 BE）	CS# = V_{CC}	–	25	35	
I_{SB}	待机电流	RESET#， CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}：SPI、双线 I/O 和四线 I/O 模式	–	20	70	µA
		RESET#， CS# = V_{CC}； SI、SCK = V_{CC} 或 V_{SS}：QPI 模式	–	40	80	
I_{DPD}	深度掉电模式下的电流	RESET#， CS# = V_{CC}，V_{IN} = GND 或 V_{CC}	–	2	50	
I_{POR}	上电复位电流	RESET#， CS# = V_{CC}； SI、 SCK = V_{CC} 或 V_{SS}	–	15	35	mA

注释：
88. 典型值的条件为 T_{AI} = 25°C 和 V_{CC} = 1.8 V。
89. 读取返回数据期间，输出处于悬空状态。不包含输出开关电流。

11.6.1 有效功耗模式和待机功耗模式

如果片选 （CS#）为低电平，器件被使能且处于有效功耗模式。如果 CS# 为高电平，器件将被禁用，但仍处于活动模式，直到完成所有编程、擦除以及写入操作为止。然后，器件会进入待机功耗模式，功耗降低到 I_{SB}。

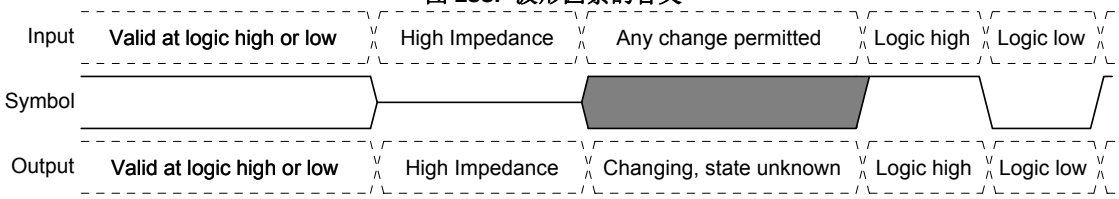
11.6.2 深度掉电模式 （DPD）

通过输入命令指令代码 “B9h”，并将功耗降低到 I_{DPD}，可使能深度掉电模式。在 DPD 模式下，器件仅对从 DPD 模式恢复的命令（RES ABh）或硬件复位 （RESET# 和 IO3/RESET#）发出响应。在 DPD 模式下，所有其他命令均被忽略。

12. 时序规范

12.1 切换波形的关键

图 133. 波形因素的含义



12.2 交流测试条件

图 134. 测试设置

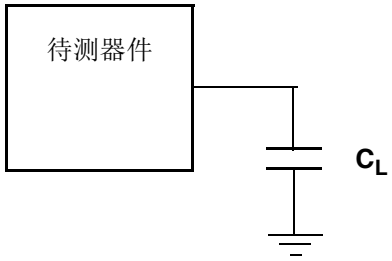
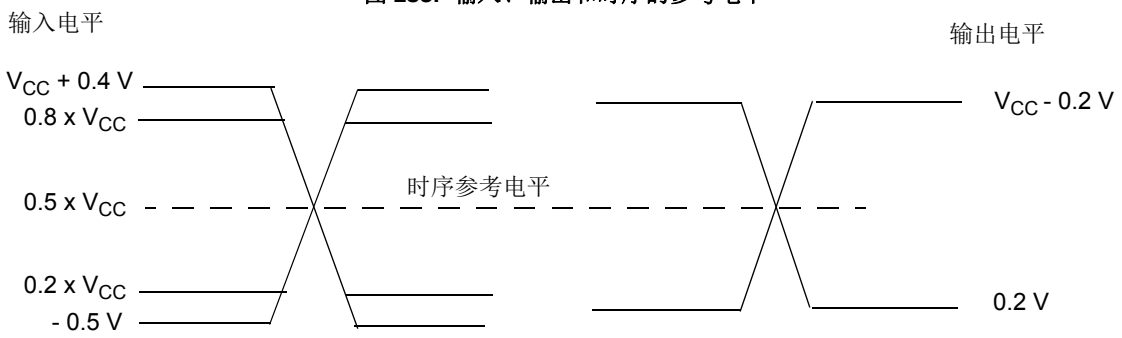


表 59. 交流测量条件

符号	参数	最小值	最大值	单位
C_L	负载电容	–	15 / 30[90]	pF
–	输入脉冲电压	$0.2 \times V_{CC}$	$0.8\ V_{CC}$	V
–	输入时序参考电压	$0.5\ V_{CC}$		
–	输出时序参考电压			

注释：
90. 负载电容取决于操作频率或操作模式。
91. 交流特性表假定时钟和数据信号具有相同的转换速率 （斜率）。请见第 141 页上的 62 SDR 交流特性节的注释 [95]，了解操作频率时的转换速率。

图 135. 输入、输出和时序的参考电平



12.2.1 电容特性

表 60. 电容

	参数	测试条件	最小值	最大值	单位
C_{IN}	输入电容 （SCK、 CS#、 RESET#、 IO3/RESET#）	1 MHz	–	8	pF
C_{OUT}	输出电容 （使用于所有 I/O）	1 MHz	–	8	

12.3 复位

如果在执行对寄存器的擦除、编程或写入操作期间，启动了硬件复位，并且扇区、页面或寄存器内的数据不稳定，那么需要重新启动被中断的操作。在执行软件复位操作期间，如果启动硬件复位，该硬件复位可能被忽略。

12.3.1 上电 （冷）复位

器件会执行上电复位 （POR）程序，直到 V_{CC} 上升到超过 V_{CC} 最小阈值后经过 t_{PU} 延迟时间为止。请参考第 132 页上的图 131、第 132 页上的表 55。上电期间 （t_{PU}），不能选择器件 （不允许 CS# 的电压上升到 V_{CC}）。例如，不能将任何命令发送给器件，直到经过 t_{PU} 为止。

在 POR 期间，RESET# 和 IO3 / RESET# 复位功能被忽略。如果在 POR 期间，RESET# 或 IO3 / RESET# 为低电平，并且在 t_{PU} 期间以及之后仍然保持为低电平状态，那么 CS# 必须保持为高电平，直到 RESET# 和 IO3 / RESET# 返回高电平状态并经过 t_{RH} 为止。在比 t_{RS} 更长的时间内，并且返回低电平状态前， RESET# 和 IO3 / RESET# 必须返回高电平状态，以便启动一次硬件复位。

在比 t_{CS} 更长的时间内，或者未使能四线模式或 QPI 模式 （CR1V[1] = 0 或 CR2V[3] = 0）时， IO3 / RESET# 输入可作为 RESET# 信号使用。

图 136. POR 结束时，复位信号为低电平

图 137. POR 结束时，复位信号为高电平

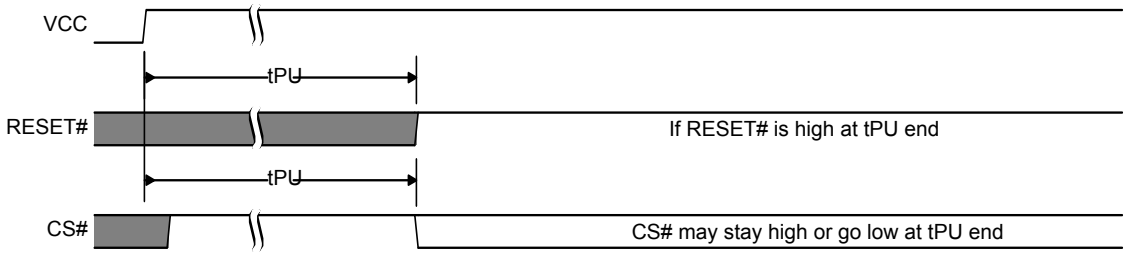
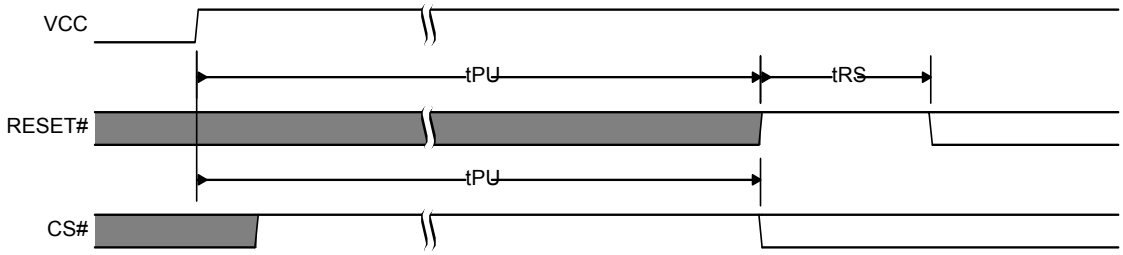


图 138. 由硬件复位随后的 POR



12.3.2 启动硬件 （暖）复位的 RESET # 和 IO3 / RESET# 输入

RESET# 和 IO3 / RESET# 输入可作为 RESET# 信号使用。根据条件，两个输入可以启动复位操作。

在比 t_{RP} 更长的时间内，当从 V_{IH} 转换为 V_{IL} 时，RESET# 输入启动了复位操作，器件会使用与上电复位相同的方式复位寄存器状态，但没有经过 POR 期间所执行的完整复位程序。完成硬件复位程序需要 t_{RPH} 时长。RESET# 输入仅在 SOIC 16 含铅封装和 BGA 球型焊盘封装中有效。

当在比 t_{CS} 更长的时间内 CS# 为高电平时，或者当未使能四线模式或 QPI 模式 （CR1V[1] = 0 或 CR2V[3] = 0）时， IO3 / RESET# 输入将启动复位操作。 IO3/RESET# 输入具有一个连接至 V_{CC} 的内部上拉电阻；如果不处于四线模式或 QPI 模式，该输入会保持为无连接状态。 CS# 为低电平时该输入用作为四线或 QPI 模式 I/O 信号后，需要 CS# 变为高电平后经过 t_{CS} 延迟时间，以便存储器或主机系统将 IO3 驱动为高电平。然后，将内部上拉电阻连接到 V_{CC}，可保持 IO3/RESET# 为高电平，直到主机系统开始驱动 IO3/RESET# 为止。在 t_{CS} 期间， CS# 保持高电平状态时， IO3 / RESET# 输入将被忽略，从而可以避免发生意外的复位操作。如果 CS# 被驱动为低电平，便会启动一个新命令， IO3 / RESET# 被作为 IO3。

当器件未处于四线模式或 QPI 模式时，或者当 CS# 为高电平，并且 IO3/RESET# 在大于 t_{RP} （随后 t_{CS}）的时间内从 V_{IH} 转换为 V_{IL} 时，器件会使用与上电复位相同的方式复位寄存器状态，但没有经过在 POR 期间所执行的完整复位程序。

完成硬件复位程序需要 t_{RPH} 时长。如果由于任意原因不能在上电 （t_{PU}）期间完成 POR 程序， RESET# 变为低电平会启动完整的 POR 程序 （而不是硬件复位程序），并需要占用 t_{PU} 长的时间才能完成 POR 程序。

软件复位命令 （由 RST 99h 随后的 RSTEN 66h）独立于 RESET # 和 IO3 / RESET# 的状态。如果 RESET# 和 IO3 / RESET# 为高电平，且已经发送了软件复位指令，则器件将执行软件复位。

其他注意事项：

- 如果RESET#和IO3 / RESET#输入选项均可用，那么在您的系统中仅使用了一个复位选项。通过将CR2NV[7]设置为0（请参考第32页上的表 14），并设置 IO3_RESET，使其仅作为 IO3 使用，可以禁用 IO3/RESET# 输入复位操作。不连接 RESET# 输入，或将其绑定到 V_{IH} 上，可以禁用该输入。RESET# 和 IO3/RESET# 重新变为低电平以启动硬件复位前，在经过加上 t_{PU} 或 t_{RPH} 的 t_{RS} 时间内，它们必须为高电平。
- 经过 t_{CS} 时长后，如果 IO3/RESET# 在长于最短时间（t_{RP}）内被驱动为低电平，则器件会立即终止正在执行的所有操作，使所有输出变为高阻抗，并在 t_{RPH} 时间内忽略所有读 / 写命令。器件将接口复位为待机状态。
- 如果使能了四线模式或QPI模式和IO3 / RESET#性能，则在t_{CS}期间，主机系统不会将IO3驱动为低电平，从而可以避免在IO3上发生冲突。发送在四线或 QPI 模式下将数据传送给主机的命令后（例如四线 I/O 读取命令），存储器立即在 t_{CS} 时间内将 IO3/RESET# 驱动为高电平，从而防止发生意外的复位操作。发送在四线模式下将数据传送给存储器的命令后 （例如页编程命令），主机系统立即在 t_{CS} 时间内将 IO3/RESET# 驱动为高电平，以防止发生意外复位操作。
- 如果未使能四线模式或QPI模式，并且IO3 / RESET#被置为低电平时CS#为低电平，那么CS#经过t_{RH}后可能被重新置为低电平前，该信号必须在 t_{RPH} 时间内返回高电平。

表 61. 硬件复位参数

参数	说明	限制	时间	单位
t_{RS}	复位设置 — 从前面复位结束 RESET# 为高电平到 RESET# 为低电平的时间	最小值	50	ns
t_{RPH}	复位脉冲保持 — RESET# 为低电平到 CS# 为低电平的时间		100	µs
t_{RP}	RESET# 脉冲带宽		2000	ns
t_{RH}	复位保持 — CS# 为低电平前 RESET# 为高电平的时间		150	

注释：

92. 上电 （t_{PU}）期间， RESET# 和 IO3 / RESET# 低电平将被忽略。如果 t_{PU} 结束时 Reset# 被激活，那么器件将保持为复位状态， t_{RH} 会决定 CS# 变为低电平的时间。
93. 如果使能了四线模式或 QPI 模式，则在 t_{CS} 期间， IO3 / RESET# 低电平将被忽略。
94. t_{RP} + t_{RH} 的和不能小于 t_{RPH}。

图 139. 使用 RESET# 输入的硬件复位

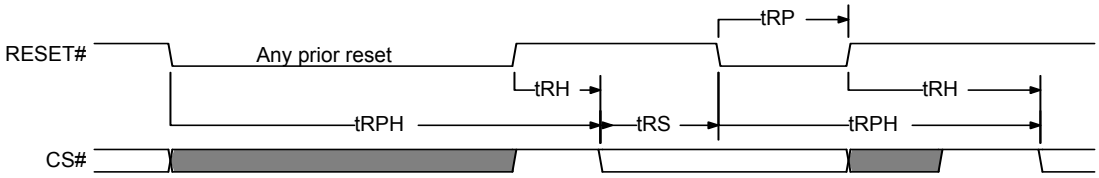


图 140. 未使能四线模式或 QPI 模式，并且使能了 IO3 / RESET# 时的硬件复位

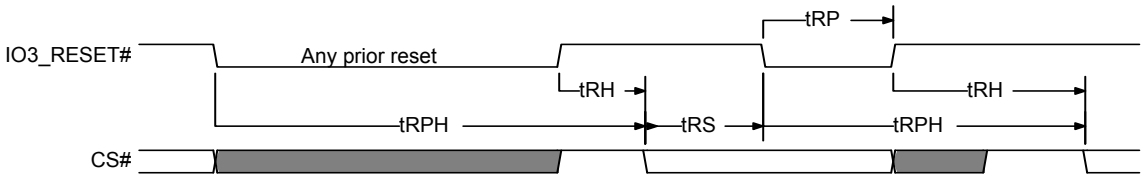
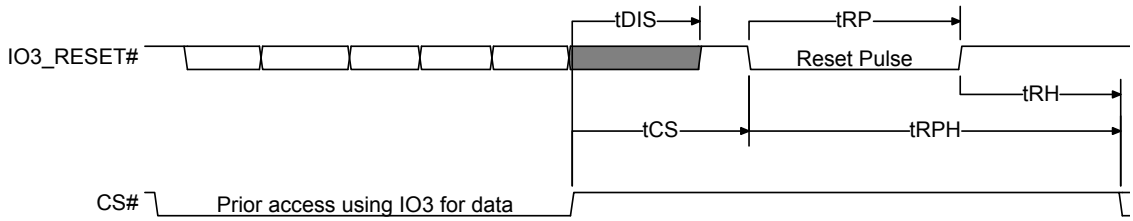


图 141. 使能了四线模式或 QPI 模式和 IO3 / RESET# 时的硬件复位



12.4 SDR 交流特性

表 62. SDR 交流特性

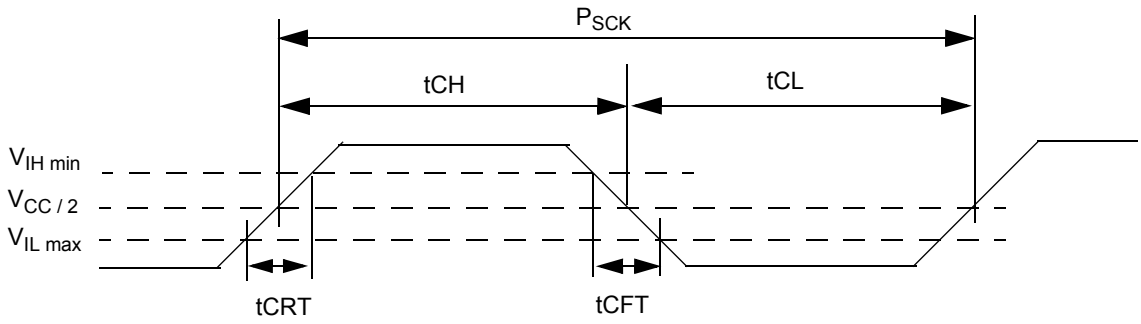
符号	参数	最小值	最大值	单位
$F_{SCK、R}$	使用于 READ 和 4READ 指令的 SCK 时钟频率	DC	50	MHz
$F_{SCK、C}$	使用于 QOR、4QOR、DIOR、4DIOR、QIOR、4QIOR 等双线命令和四线命令的 SCK 时钟频率	DC	133	
P_{SCK}	SCK 时钟周期	$1/F_{SCK}$	–	–
t_{WH}、t_{CH}	时钟为高电平的时间	50% P_{SCK} ±5%	–	ns
t_{WL}、t_{CL}	时钟为低电平的时间	50% P_{SCK} ±5%	–	
t_{CRT}、t_{CLCH}	时钟上升时间 （斜率）[95]	0.1	–	V/ns
t_{CFT}、t_{CHCL}	时钟下降时间 （斜率）[95]	0.1	–	
t_{CS}	CS# 为高电平的时间 （执行任何读指令时）	20	–	ns
	CS# 为高电平的时间 （执行所有的其他非读指令时）	50	–	
t_{CSS}	CS# 有效的建立时间 （相对于 SCK）	3	–	
t_{CSH}	CS# 有效的保留时间 （相对于 SCK）	5	–	
t_{SU}	数据输入的建立时间	3	–	
t_{HD}	数据输入的保留时间	2	–	
t_V	从时钟为低电平到输出有效的时间	–	8[96] 6[97]	
t_{HO}	输出保留时间	1	–	
t_{DIS}	输出禁用时间 [98] 输出禁用时间 （当复位功能和四线模式均被使能时）	–	8 20[99]	
t_{WPS}	WP# 的建立时间 [100]	20	–	
t_{WPH}	WP# 的保留时间 [100]	100	–	
T_{DP}	CS# 为高电平到进入深度掉电模式的时间	–	3	µs
T_{RES}	CS# 为高电平到退出深度掉电模式的时间	–	5	
t_{QEN}	进入 QIO 或 QPI 模式后发出下一条命令所需的时间	–	1.5	
t_{QEXN}	退出 QIO 或 QPI 模式后发出下一条命令所需的时间	–	1	

注释：

95. t_{CRT}、t_{CLCH} 时钟上升沿和下降沿转换速率，使用快速时钟 （108 MHz）时，最小的转换速率为 1.5 V/ns，使用慢速时钟 （50 MHz）时，该值为 1.0 V/ns。
96. 整个 V_{CC} 范围和 CL = 30 pF。
97. 整个 V_{CC} 范围和 CL = 15 pF。
98. 输出高阻态是数据不再被驱动的点。
99. 当使能复位功能和四线模式时 （CR2V[7] = 1 和 CR1V[1] = 1），t_{DIS} 需要其他时间。
100. 仅在 SRP0 被设置为 1 时，才能作为 WRR 或 WRAR 指令的限制。

12.4.1 时钟时序

图 142. 时钟时序



12.4.2 输入 / 输出时序

图 143. SPI 单比特输入时序

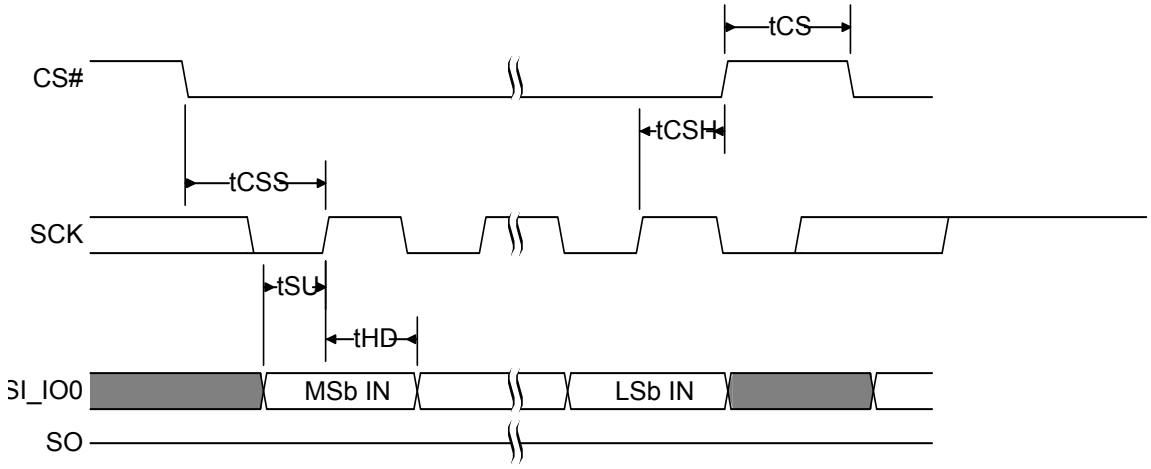


图 144. SPI 单比特输出时序

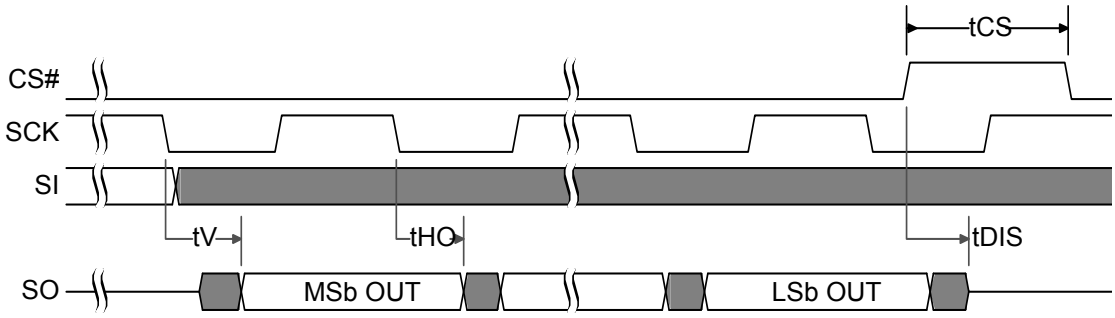


图 145. SDR MIO 时序

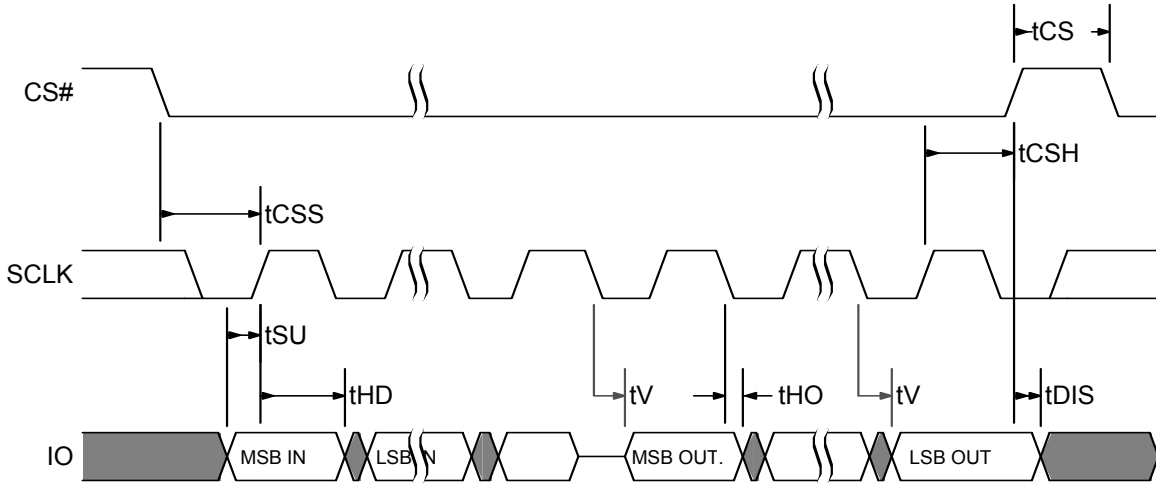
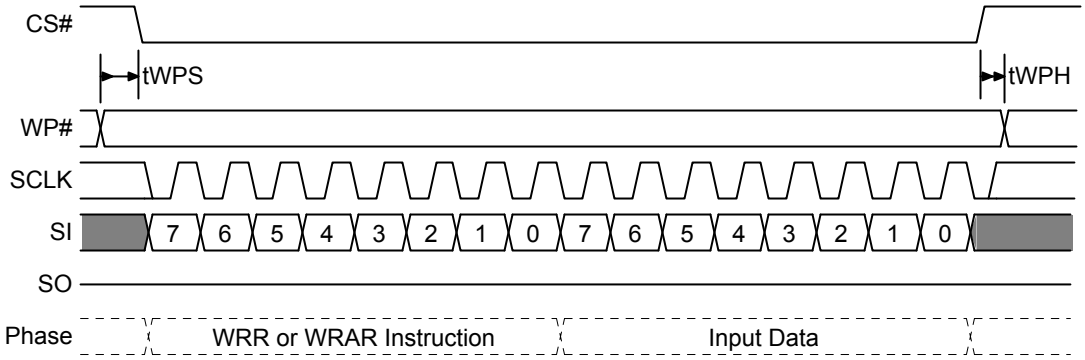


图 146. WP# 输入时序



12.5 DDR 交流特性

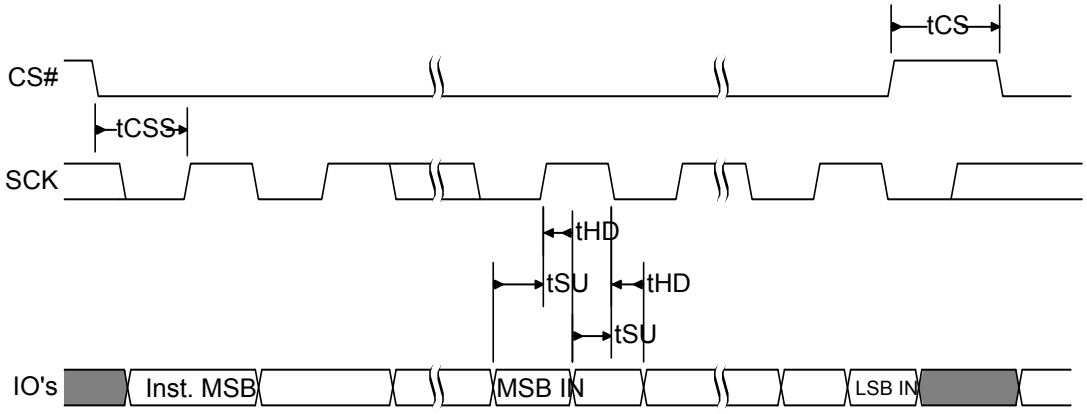
表 63. 工作频率为 66 MHz 时的 DDR 交流特性

符号	参数	最小值	最大值	单位
$F_{SCK、R}$	使用于 DDR READ 指令的 SCK 时钟频率	DC	66	MHz
$P_{SCK、R}$	使用于 DDR READ 指令的 SCK 时钟周期	$1/F_{SCK}$	–	ns
t_{crt}	时钟上升时间 （斜率）	1.5	–	V/ns
t_{cft}	时钟下降时间 （斜率）	1.5	–	
t_{WH}、 t_{CH}	时钟高电平时间	50% P_{SCK} - 5%	–	ns
t_{WL}、 t_{CL}	时钟低电平时间	50% P_{SCK} - 5%	–	
t_{CS}	CS# 为高电平的时间 （执行读取指令时） CS# 为高电平的时间（使能复位功能并执行读取指令时）	20 50	–	
t_{CSS}	CS# 有效的建立时间 （相对于 SCK）	3	–	
t_{SU}	IO 输入的建立时间	3	–	
t_{HD}	IO 输入的保留时间	2	–	
t_V	从时钟为低电平到输出有效的时间	–	8[101] 6[102]	
t_{HO}	输出保留时间	1	–	
t_{DIS}	输出禁用时间 输出禁用时间 （使能复位功能时）	–	8 20	
t_{O_skew}	从第一个 IO 数据有效到最后 IO 数据有效的时间	–	600[103]	ps

注释：
101.整个 V_{CC} 范围和 CL = 30 pF。
102.整个 V_{CC} 范围和 CL = 15 pF。
103.未经测试。

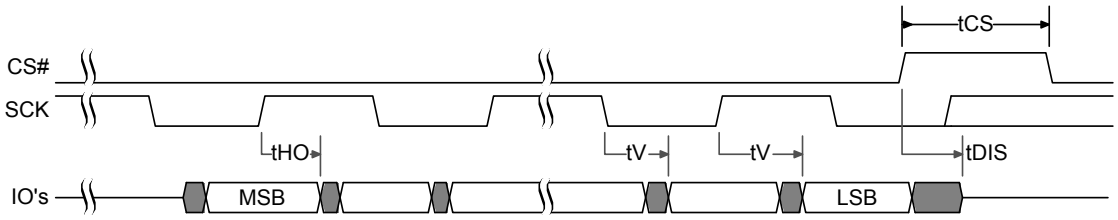
12.5.1 DDR 输入时序

图 147. SPI DDR 输入时序



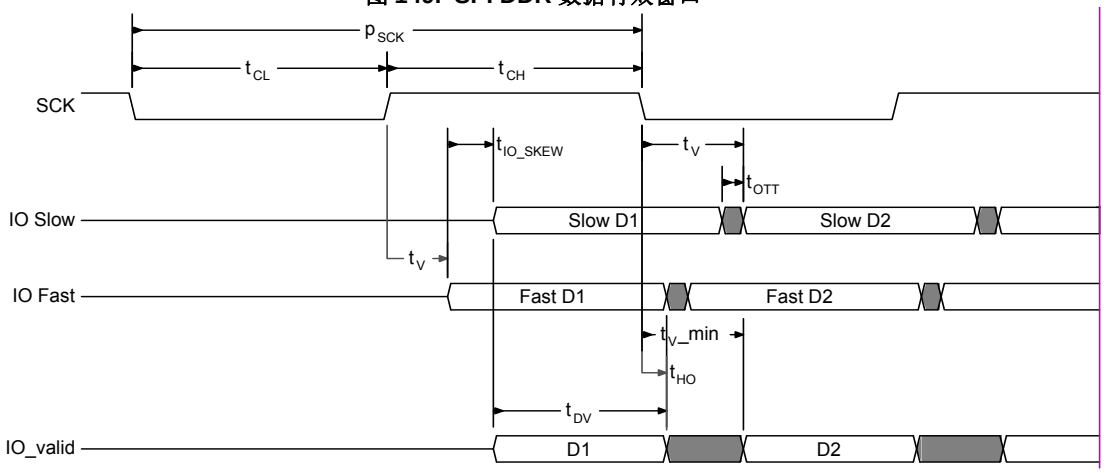
12.5.2 DDR 输出时序

图 148. SPI DDR 输出时序



12.5.3 使用 DLP 的 DDR 数据有效时序

图 149. SPI DDR 数据有效窗口



最小数据有效窗口 （t_{DV}）和 $t_V$minimum 如下计算：

t_{DV} = 最小半时钟周期 (t_{CLH}[104]) - t_{OTT}[106] - t_{IO_SKEW}[105]

t_V _min = t_{HO} + t_{IO_SKEW} + t_{OTT}

示例：

- 66 MHz 时钟频率 = 15 ns 时钟周期，占空比为 45% 以上。
  - t_{CLH} = 0.45 x PSCK = 0.45 x 15 ns = 6.75 ns
- t_{OTT} 的计算方式[107]：总线阻抗为 45 Ω 和电容为 37 pf，参考时序为 0.75 V_{CC}, 上升时间从 0 到 1 或下降时间从 1 至 0，即 1.4[110] x RC 时间常数 （Tau）[109] = 1.4 x 1.67 ns = 2.34 ns
  - t_{OTT} = 上升时间或下降时间 = 2.34 ns。
- 有效数据窗口
  - t_{DV} = t_{CLH} - t_{IO_SKEW} - t_{OTT} = 6.75 ns - 600 ps - 2.34 ns = 3.81 ns
- t_V 最小值
  - t_V _min = t_{HO} + t_{IO_SKEW} + t_{OTT} = 1.0 ns + 600 ps + 2.34 ns = 3.94 ns

注意

104. t_{CLH} 是 t_{CL} 或 t_{CH} 中较小的值。
105. t_{IO_SKEW} 是所有 IO 信号中最小值同最大 t_V （输出有效）间的最大差值 （偏差）。
106. t_{OTT} 是每个 IO 上从一个有效数据值到下一个有效数据值的最大输出转换时间。
107. t_{OTT} 由系统级注意事项决定，这些注意事项包括：
    a. 存储器器件输出阻抗 （强驱动）。
    b. IO 上的系统级寄生电容 （通常为总线电容）。
    c. 主存储控制器输入 V_{IH} 和 V_{IL} 电平，在该电平下可以识别 0 到 1 和 1 到 0 的转换。
    d. t_{OTT} 不是由赛普拉斯测试的规范。它的大小由系统决定，并且系统设计师必须根据上述注意事项推导出该值。
108. t_{DV} 是有效数据窗口。
109. Tau = R （输出阻抗）x C （负载电容）。
110. 电压上升到 V_{CC} 的 75% 的 Tau 时间乘数。

12.6 嵌入式算法性能表

表 64. 双四线编程和擦除性能

符号	参数	最小值	典型值 [111]	最大值	单位
t_W	非易失性寄存器写入时间	–	145	750	ms
t_{PP}	页编程时间 （256 字节）	–	300	1,200	µs
t_{BP1}	字节编程时间 （第一个字节）[113]	–	50	60	
t_{BP2}	其他字节编程时间 （第一个字节后）[113]	–	6	20	
t_{SE}	扇区擦除时间 （4 KB 物理扇区）	–	50	250	ms
t_{HBE}	半块擦除时间 （32 KB 物理扇区）	–	190	363	
t_{BE}	块擦除时间 （64 KB 物理扇区）	–	270	725	
t_{CE}	芯片擦除时间 （S25FL128L）	–	70	180	s
t_{CE}	芯片擦除时间 （S25FL256L）	–	140	360	

注释：
111.在以下条件下得到典型的编程和擦除时间：温度 = 25°C、 V_{CC} = 3.0 V、一万个周期、一个棋盘式数据组合。
112.任何 OTP 编程命令的编程时间都与 t_{PP} 相同。这些命令包括 IRPP 2Fh、 PASSP E8h 和 PDLRNV 43h。
113.对于某页内第一个字节后的多个字节， $t_{BPN} = t_{BP1} + t_{BP2} * N$ （典型值）和 $t_{BPN} = t_{BP1} = t_{BP2} * N$ （最大值），其中 N = 被编程的字节数量。

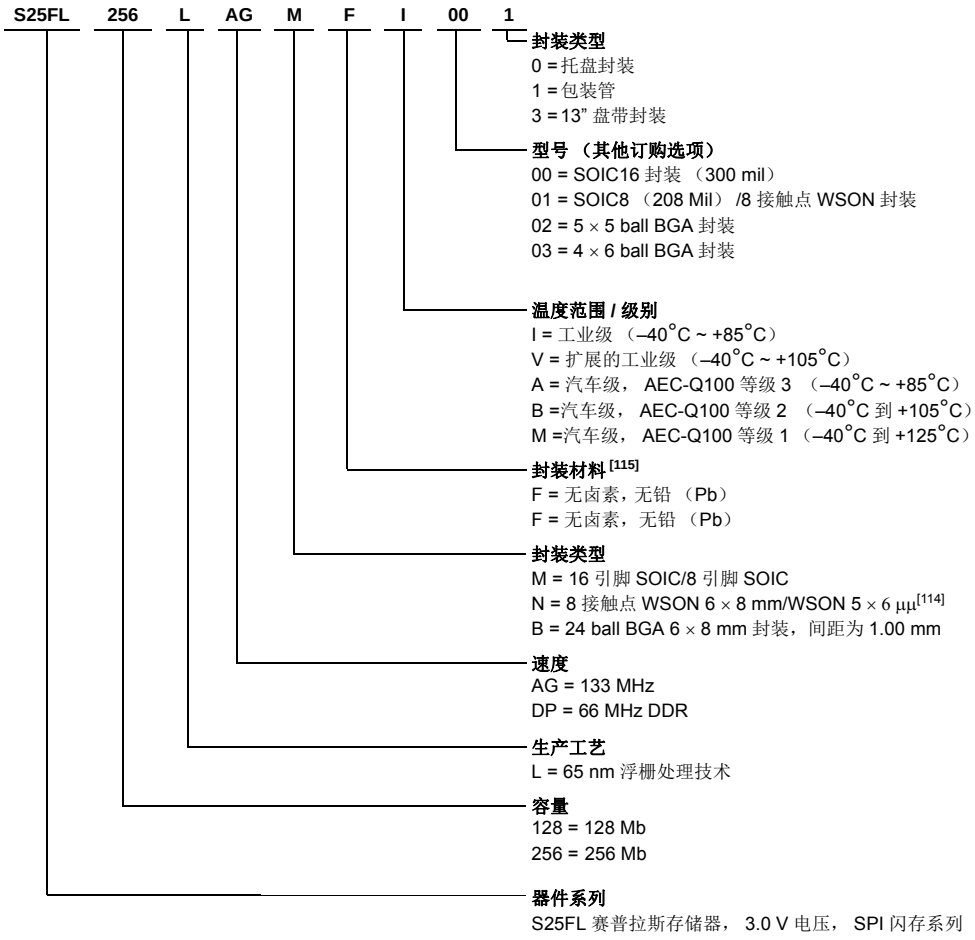
表 65. 编程或擦除挂起交流参数

参数	典型值	最大值	单位	注释
挂起延迟时间 （t_{SL}）	–	40	µs	从发出挂起命令到 WIP 位为 0 的时间。
从恢复操作到下一次挂起操作的时间 （t_{RNS}）	100	–		发送下一个挂起命令所需的时间。

13. 订购信息

13.1 订购器件型号

订购器件型号由以下有效组合构成：



注释：

114.WSON 6 × 8 mm 仅使用于 S25FL256L。 WSON 5 × 6 mm 仅使用于 S25FL128L。

115.无卤素定义，符合 IEC 61249-2-21 规范

有效组合 — 标准

有效组合列出了计划针对该器件批量支持的配置。如要确认特定有效组合的可用性和了解最新推出的组合，请联系您当地的销售办事处。

表 66. 有效组合 — 标准

有效组合 — 标准					
基本订购器件型号	速度选项	封装和温度	型号	包装类型	封装标识
S25FL128L	AG	MFI、 MFV	00	0、 1、 3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	MFI、 MFV	01	0、 1、 3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	NFI、 NFV	01	0、 1、 3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	BHI、 BHV	02、 03	0、 3	（基本型号）+ A +（温度）+ H +（封装型号）
	DP	MFI、 MFV	00	0、 1、 3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	MFI、 MFV	01	0、 1、 3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	NFI、 NFV	01	0、 1、 3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	BHI、 BHV	02、 03	0、 3	（基本型号）+ D +（温度）+ H +（封装型号）
S25FL256L	AG	MFI、 MFV	00	0、 1、 3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	NFI、 NFV	01	0、 1、 3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	BHI、 BHV	02、 03	0、 3	（基本型号）+ A +（温度）+ H +（封装型号）
	DP	MFI、 MFV	00	0、 1、 3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	NFI、 NFV	01	0、 1、 3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	BHI、 BHV	02、 03	0、 3	（基本型号）+ D +（温度）+ H +（封装型号）

有效组合 — 汽车级 /AEC-Q100

表 67 列出了符合汽车级 /AEC-Q100 标准并计划成批量供货的配置。该表会随着新组合的推出而不断更新。如要确认特定组合的供货情况并了解最新推出的组合，请与您当地的销售代表联系。

生产件批准程序 （PPAP）的支持仅针对符合 AEC-Q100 标准的产品而提供。

要用于需要符合 ISO/TS-16949 标准的最终用途应用的产品必须是符合 AEC-Q100 级和 PPAP 的产品。对于非 AEC-Q100 级的产品，将不许投产或不提供符合 ISO/TS-16949 标准的全部材料。

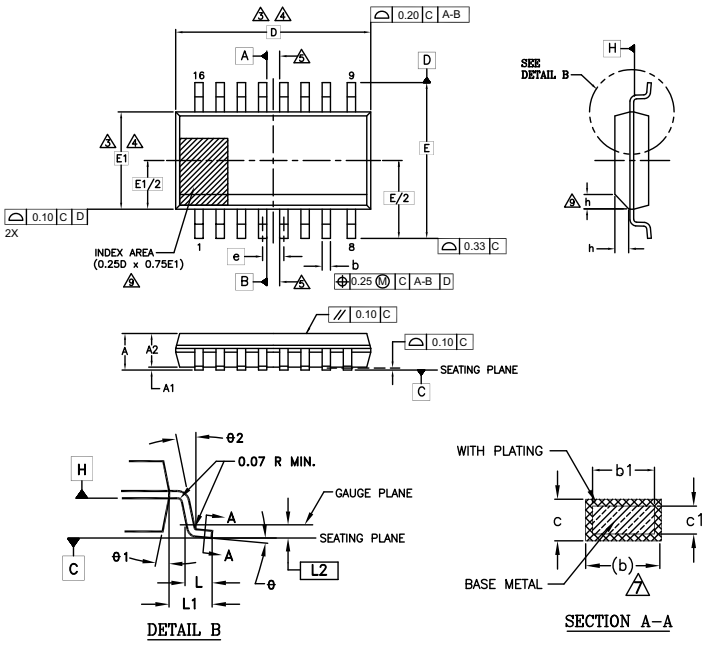
此外，对于不要求符合 ISO/TS-16949 标准的终端应用，也会提供无 PPAP 支持的 EC-Q100 级产品。

表 67. 有效组合 — 汽车级 /AEC-Q100

有效组合 — 汽车级 /AEC-Q100					
基本订购器件型号	**速度选项**	**封装和温度**	**型号**	**包装类型**	**封装标识**
S25FL128L	AG	MFA、MFB、MFM	00	0、1、3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	MFA、MFB、MFM	01	0、1、3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	NFA、NFB、NFM	01	0、1、3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	BHA、BHB、BHM	02、03	0、3	（基本型号）+ A +（温度）+ H +（封装型号）
	DP	MFA、MFB、MFM	00	0、1、3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	MFA、MFB、MFM	01	0、1、3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	NFA、NFB、NFM	01	0、1、3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	BHA、BHB、BHM	02、03	0、3	（基本型号）+ D +（温度）+ H +（封装型号）
S25FL256L	AG	MFA、MFB、MFM	00	0、1、3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	NFA、NFB、NFM	01	0、1、3	（基本型号）+ A +（温度）+ F +（封装型号）
	AG	BHA、BHB、BHM	02、03	0、3	（基本型号）+ A +（温度）+ H +（封装型号）
	DP	MFA、MFB、MFM	00	0、1、3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	NFA、NFB、NFM	01	0、1、3	（基本型号）+ D +（温度）+ F +（封装型号）
	DP	BHA、BHB、BHM	02、03	0、3	（基本型号）+ D +（温度）+ H +（封装型号）

14. 物理框图

14.1 SOIC 16 引脚 （300 mil）封装 （SO3016）

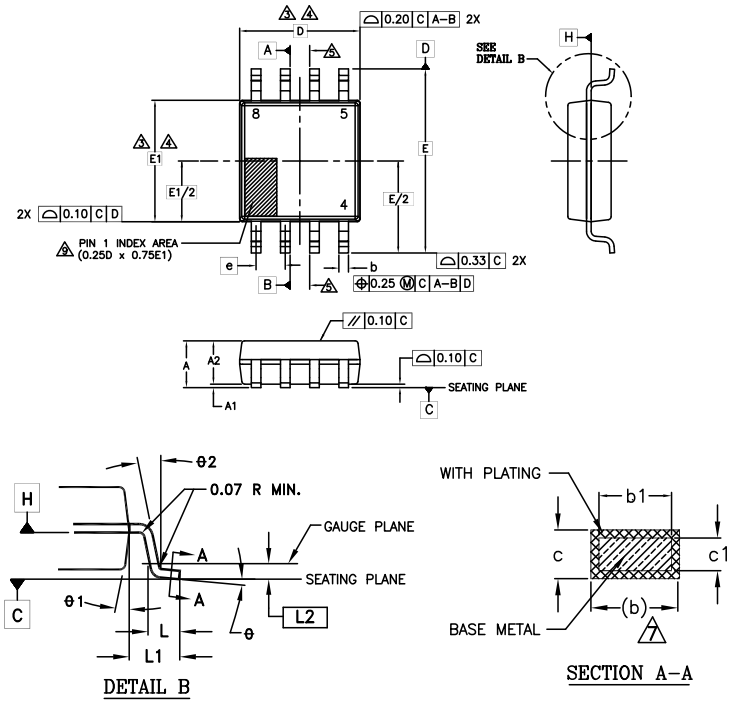


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	2.35	-	2.65
A1	0.10	-	0.30
A2	2.05	-	2.55
b	0.31	-	0.51
b1	0.27	-	0.48
c	0.20	-	0.33
c1	0.20	-	0.30
D	10.30 BSC		
E	10.30 BSC		
E1	7.50 BSC		
e	1.27 BSC		
L	0.40	-	1.27
L1	1.40 REF		
L2	0.25 BSC		
N	16		
h	0.25	-	0.75
θ	0°	-	8°
θ1	5°	-	15°
θ2	0°	-	-

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
3. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
4. THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
5. DATUMS A AND B TO BE DETERMINED AT DATUM H.
6. "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
7. THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
8. DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
9. THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
10. LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

14.2 8 引脚 SOIC （208 mil）封装 （SOC008）

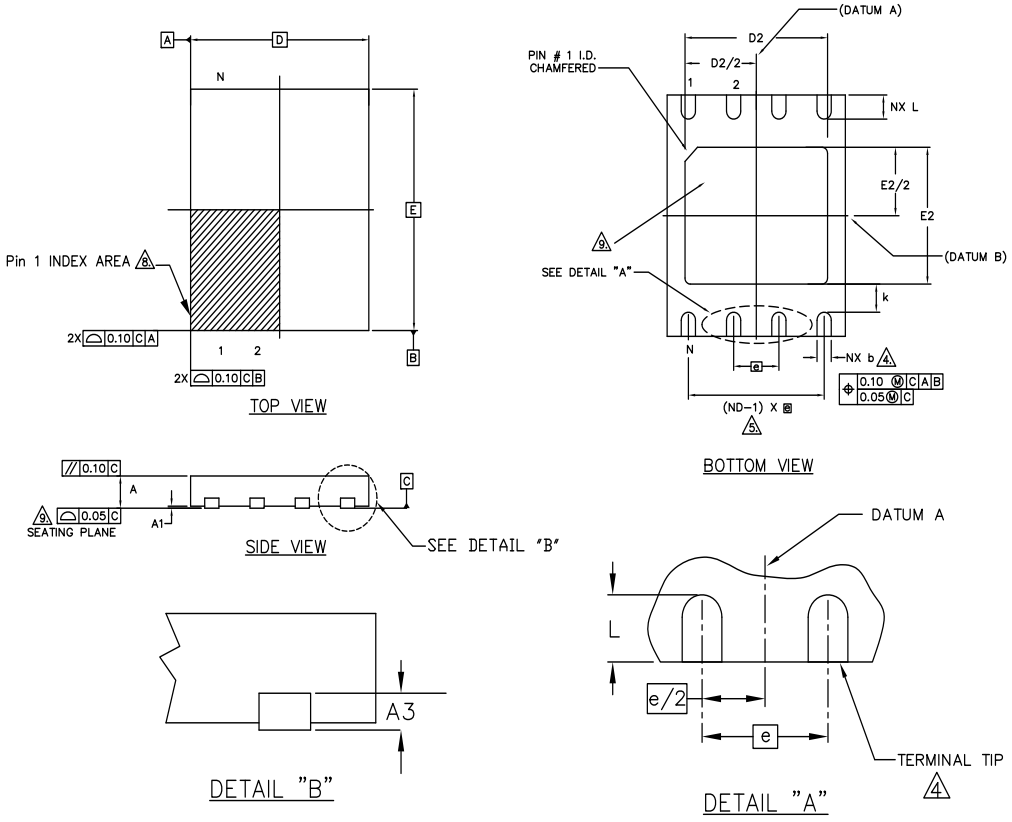


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	1.75	-	2.16
A1	0.05	-	0.25
A2	1.70	-	1.90
b	0.36	-	0.48
b1	0.33	-	0.46
c	0.19	-	0.24
c1	0.15	-	0.20
D	5.28 BSC		
E	8.00 BSC		
E1	5.28 BSC		
e	1.27 BSC		
L	0.51	-	0.76
L1	1.36 REF		
L2	0.25 BSC		
N	8		
θ	0°	-	8°
θ 1	5°	-	15°
θ 2	0-8° REF		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
3. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
4. THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
5. DATUMS A AND B TO BE DETERMINED AT DATUM H.
6. "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
7. THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
8. DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
9. THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
10. LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

14.3 无引脚并包含 8 个连接点的 WSON （WND008），其大小为 5 x 6 mm

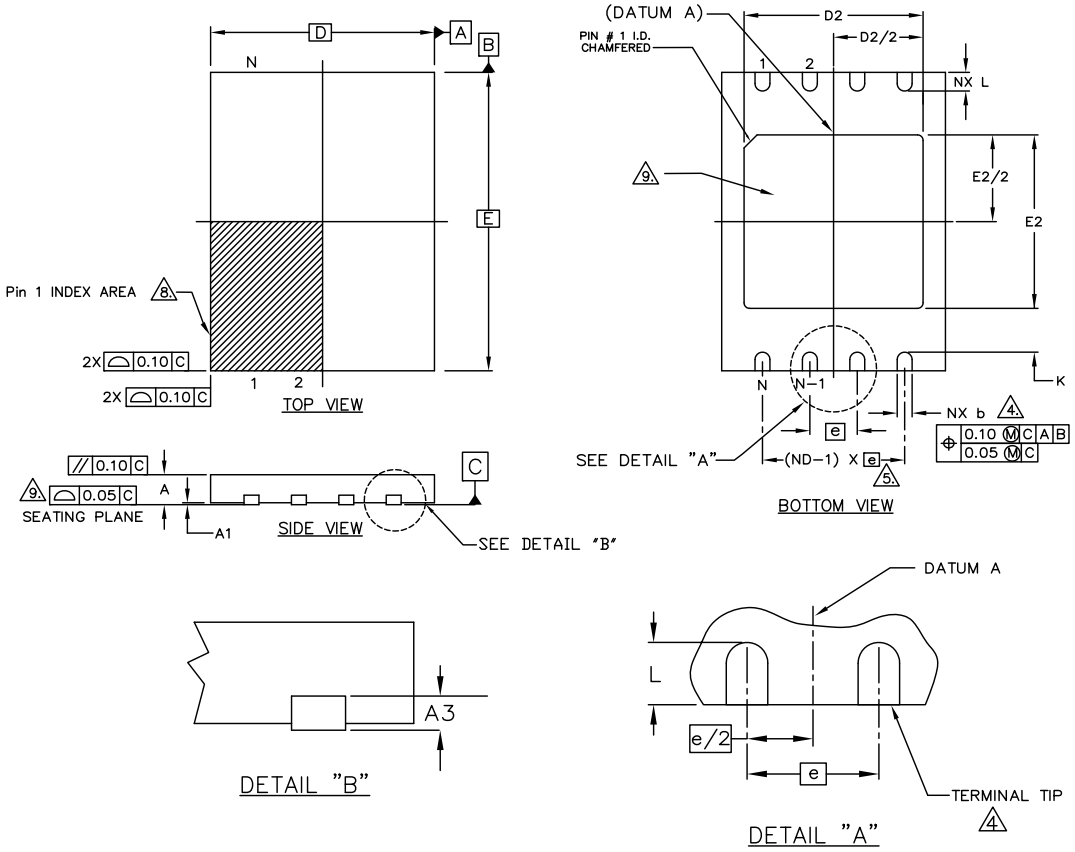


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e		1.27 BSC.	
N		8	
ND		4	
L	0.55	0.60	0.65
b	0.35	0.40	0.45
D2	3.90	4.00	4.10
E2	3.30	3.40	3.50
D		5.00 BSC	
E		6.00 BSC	
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3		0.20 REF	
K		0.20 MIN.	

NOTES:

1. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. A MAXIMUM 0.15mm PULL BACK (L1) MAY BE PRESENT.

14.4 无引脚并包含 8 个连接点的 WSON （WND008），其大小为 6 x 8 mm

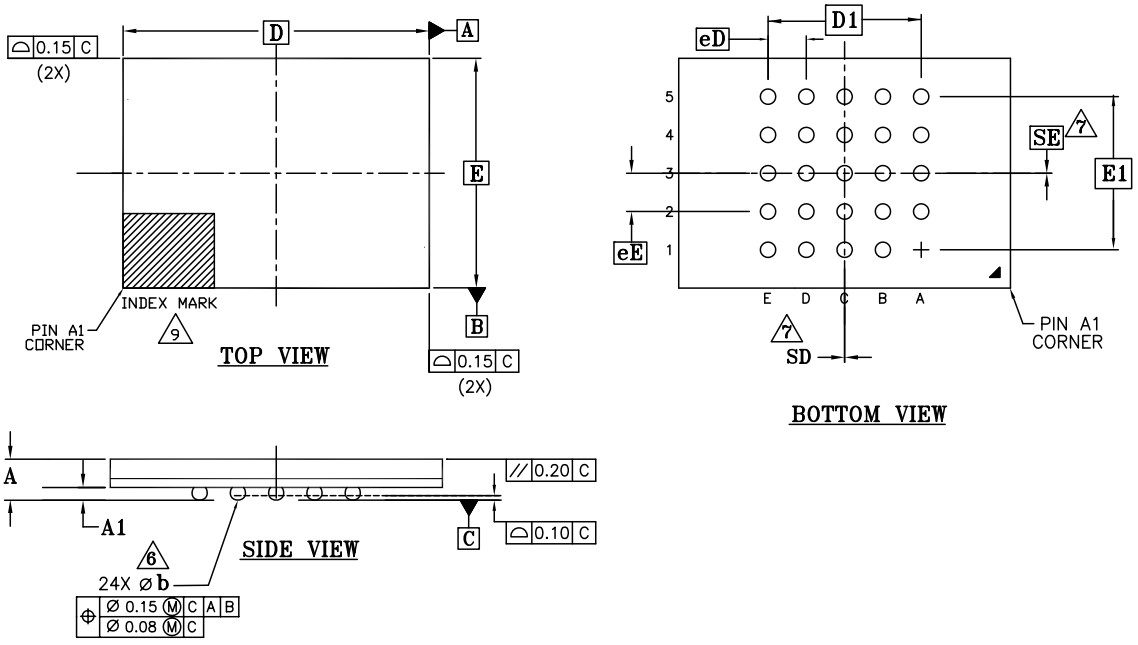


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e		1.27 BSC.	
N		8	
ND		4	
L	0.45	0.50	0.55
b	0.35	0.40	0.45
D2	4.70	4.80	4.90
E2	4.55	4.65	4.75
D		6.00 BSC	
E		8.00 BSC	
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3		0.20 REF	
K		0.20 MIN.	

NOTES:

1. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. ND REFERS TO THE NUMBER OF TERMINALS ON D SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURR IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. A MAXIMUM 0.15mm PULL BACK (L1) MAY BE PRESENT.

14.5 球栅阵列 24 ball 6 x 8 mm （FAB024）



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.20	-	-
D	8.00 BSC		
E	6.00 BSC		
D1	4.00 BSC		
E1	4.00 BSC		
MD	5		
ME	5		
N	24		
Ø b	0.35	0.40	0.45
eE	1.00 BSC		
eD	1.00 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

1. DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
4. e REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.

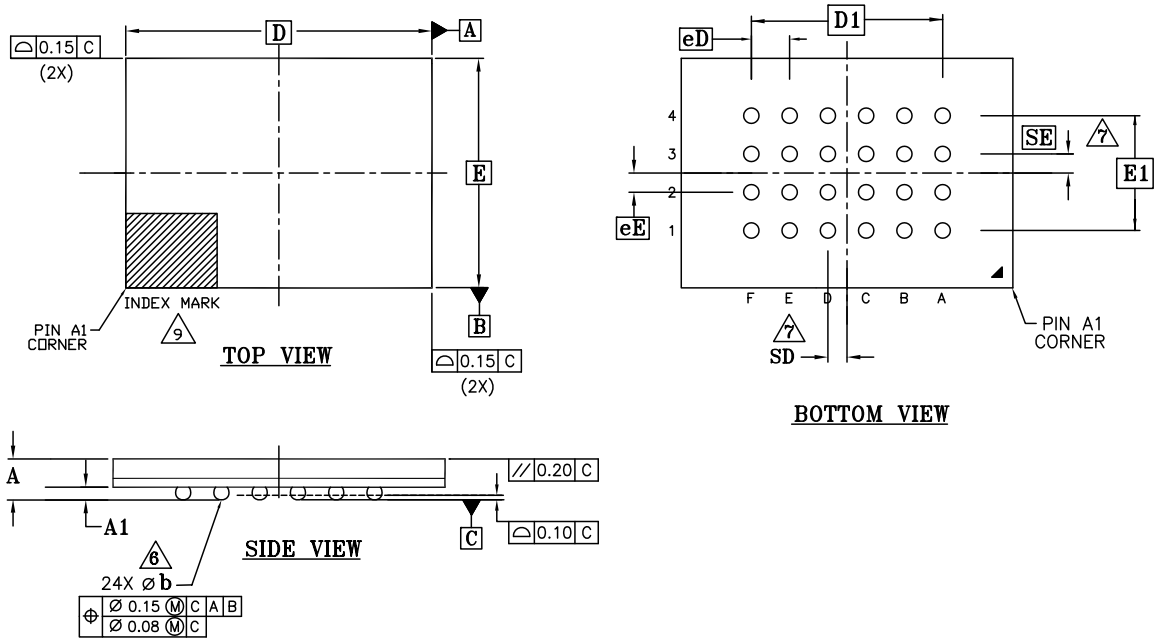
6 DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.

7 "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.

8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

14.6 球栅阵列 24 ball 6 x 8 mm （FAC024）



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.20
A1	0.25	-	-
D		8.00 BSC	
E		6.00 BSC	
D1		5.00 BSC	
E1		3.00 BSC	
MD		6	
ME		4	
N		24	
Ø b	0.35	0.40	0.45
eE		1.00 BSC	
eD		1.00 BSC	
SD		0.50 BSC	
SE		0.50 BSC	

NOTES:

1. DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
4. [e] REPRESENTS THE SOLDER BALL GRID PITCH.
5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.

△6 DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.

△7 "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.

8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

△9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

15. 其他资源

15.1 术语表

BCD	二 - 十进制代码。每四位代表一个十进制数的值。
命令	CS# 为低电平时，在一个周期内主机系统与存储器间传输的所有信息。信息包括指令 （有时称为操作代码或操作码）和全部所需地址、模式位、延迟周期或数据。
DDP	双晶片封装 = 两个晶片在同一个封装中堆叠，以增加单个封装的存储容量。有时被称为多芯片封装 （MCP）。
DDR	双倍数据速率 = 输入和输出在 SCK 的每一个边沿上被锁存。
闪存	它是一种电可擦可编程只读存储器 （EEPROM）的名称，能够同时擦除大量的存储器位，这样可使擦除速度比早期的 EEPROM 快得多。
高电平	≥ V_{IH} 的信号电压电平，或由二进制 “1” 所代表的逻辑电平。
指令	一个 8 位代码，它指明了命令需要执行的功能（有时称为操作代码或操作码）。指令始终是主机系统传送给存储器的命令中最靠前的 8 位。
低电平	≤ V_{IL} 的信号电压电平，或由二进制 “0” 所代表的逻辑电平。
LSb	最低有效位，即寄存器或数据值位组中单位数值最低的位。
MSb	最高有效位，即寄存器或数据值位组中单位数值最高的位。
LSB	最低有效字节。
MSB	最高有效字节
不适用	不适用。某个值不适用于所述条件。
非易失性	无需使用电源，但仍能保持存储器中的数据。
OPN	订购器件型号 = 指出存储器件类型、容量、封装、工厂非易失性配置等信息的字母数字，用于选择所需器件。
QPI	四线外设接口
页	256 字节大小的对齐数据组。
PCB	印刷电路板
寄存器位参考	格式为：Register_name[bit_number] 或 Register_name[bit_range_MSb: bit_range_LSb]
扇区	擦除单位大小；根据器件模型和扇区位置，扇区大小可为 4 KB、 32 KB 或 64 KB
SDR	单倍数据速率 = 输入和输出分别在 SCK 的上升和下降沿上被锁存。
写入	该操作用于修改易失性或非易失性寄存器位中或非易失性闪存中的数据。改变非易失性数据时，会对不发生改变的非易失性数据进行擦除和重新编程操作，这样可以使用单一的写入操作改变非易失性数据，可以使用同样的方式来改变易失性数据。非易失性数据显示在主机系统内，并会经过单一的写入命令得到更新，这便无需分开使用不同命令来擦除和编程各个相邻但无受影响的数据。

15.2 赛普拉斯产品路线图链接

www.cypress.com/product-roadmaps/cypress-flash-memory-roadmap

15.3 软件链接

www.cypress.com/software-and-drivers-cypress-flash-memory

15.4 应用笔记链接

www.cypress.com/appnotes

16. 文档修订记录

文档标题：S25FL256L/S25FL128L，256 Mb（32-MB）/128 Mb（16 MB），3.0 V FL-L闪存存储器 文档编号：002-03823				
版本	**ECN编号**	**变更者**	**提交日期**	**变更说明**
**	5001771	YOQI	11/05/2015	本文档版本号为Rev**，译自英文版002-00124 Rev**。
*A	5174697	YOQI	03/17/2016	本文档版本号为Rev*A，译自英文版002-00124 Rev*A。
*B	5519738	RZZH	11/15/2016	本文档版本号为Rev*B，译自英文版002-00124 Rev*C。
*C	6536751	RZZH	04/10/2019	本文档版本号为Rev*C，译自英文版002-00124 Rev*H。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

赛普拉斯开发者社区

社区 | 项目 | 视频 | 博客 | 培训 | 组件

技术支持

cypress.com/support

© 赛普拉斯半导体公司， 2015-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC （“ **赛普拉斯** ”）的财产。本文件，包括其包含或引用的任何软件或固件 （“ **软件** ”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 （无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权 （一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 （二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 （无论直接提供或通过经销商和分销商间接提供），和 （2）在被软件 （由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规 格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 （包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 （“ **非预期用途** ”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion徽标，及上述项目的组合，WICED，及PSoC、CapSense、EZ-USB、F-RAM和Traveo应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问cypress.com获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。

Mouser Electronics

Authorized Distributor

Click to View Pricing, Inventory, Delivery & Lifecycle Information:

Infineon:

S25FL256LAGMFI000 S25FL256LAGBHI020 S25FL256LAGBHI030 S25FL256LAGNFI010 S25FL256LAGBHV033 S25FL256LAGMFI003 S25FL256LAGNFV011 S25FL256LDPMFI000 S25FL256LDPMFI003 S25FL256LDPBHV030 S25FL256LDPNFI010 S25FL256LAGBHV020 S25FL256LAGMFV000 S25FL256LAGNFI013 S25FL256LAGBHM030 S25FL256LDPBHI023 S25FL256LDPNFV011 S25FL256LAGMFV003 S25FL256LAGMFB000 S25FL256LAGBHI033 S25FL256LAGMFM000 S25FL256LAGBHI023 S25FL256LDPBHV020 S25FL256LDPNFV013 S25FL256LAGMFV001 S25FL256LDPMFV000 S25FL256LDPNFI013 S25FL256LDPMFV003 S25FL256LDPBHI030 S25FL256LAGMFI001 S25FL256LAGNFM010 S25FL256LDPBHI033 S25FL256LDPNFV010 S25FL256LAGNFI011 S25FL256LAGBHM020 S25FL256LDPBHV033 S25FL256LDPMFI001 S25FL256LAGNFV010 S25FL256LAGBHV030 S25FL256LDPNFI011 S25FL256LDPBHV023 S25FL256LDPBHI020 S25FL256LDPMFV001 S25FL256LAGNFV013 S25FL256LAGBHV023 S25FL128LAGMFV010 S25FL128LAGBHV020 S25FL128LAGBHI030 S25FL128LAGMFI010 S25FL128LAGBHV030 S25FL128LAGBHI020 S25FL128LAGNFI010 S25FL128LAGNFV010 S25FL128LAGMFM010 S25FL128LAGNFM010 S25FL128LAGBHM020 S25FL128LAGBHV023 S25FL128LDPBHV033 S25FL128LAGBHV033 S25FL256LAGBHB023 S25FL128LAGMFV013 S25FL128LDPBHV023 S25FL128LAGNFV013 S25FL256LAGMFB001 S25FL256LAGNFB013 S25FL256LAGBHB020 S25FL256LAGNFB010 S25FL128LDPBHI020 S25FL128LDPBHI023 S25FL128LAGNFI013 S25FL128LDPBHB030 S25FL128LDPBHI030 S25FL128LDPBHI033 S25FL256LAGBHM023 S25FL128LAGMFM013 S25FL256LAGMFM003 S25FL128LDPBHV030 S25FL128LAGBHI023 S25FL128LDPBHB033 S25FL128LDPBHV020 S25FL128LAGBHI033 S25FL256LAGMFB003 S25FL256LAGMFM001 S25FL128LAGMFI013 S25FL128LAGMFB010 S25FL128LAGNFM013 S25FL128LAGNFA010 S25FL128LAGNFB010 S25FL128LAGBHM023 S25FL128LAGMFA010 S25FL128LAGMFA013 S25FL128LAGNFB013 S25FL128LAGNFA013 S25FL128LAGMFB013 S25FL256LAGMFA000 S25FL256LAGMFA001 S25FL256LAGMFA003 S25FL128LDPMFV003 S25FL128LDPMFV000 S25FL128LDPMFB003